



ESCUELA TÉCNICA SUPERIOR DE INGENIEROS INDUSTRIALES Y DE TELECOMUNICACIÓN

Titulación:

INGENIERO DE TELECOMUNICACIÓN

Título del proyecto:

“DISEÑO DE CIRCUITOS ANALÓGICOS CMOS DE
ULTRA BAJO CONSUMO BASADO EN NUEVAS
TÉCNICAS QFG”

Miguel Cutrín González

Tutor: Antonio J. López Martín

Pamplona, 25 de Junio de 2014

AGRADECIMIENTOS

- En primer lugar a Antonio López, por ser mi tutor, por ayudarme en cada dificultad y sobre todo por sacarme de los muchos atascos a lo largo de todo este proyecto.
- A mis padres, Mar y Carlos, por darme la vida, por estar siempre ahí, animarme a seguir y creer en mí mucho más que yo mismo.
- A Ana, por estar a mi lado durante toda la carrera y por ayudarme para poder conseguir llegar al final.
- A Yuri, Fernando, Andrea, Jorge, Iñigo, Sara, Ángel, David, Mikel y Aritz por haberse convertido en mis herman@s y hacerme pasar tantos buenos ratos dentro y fuera de la universidad.
- A mis compañeros de laboratorio, por todas las horas que hemos pasado juntos y por estar siempre dispuestos a echarme una mano.
- A todos mis amigos fuera de la universidad por permitirme liberar la cabeza en momentos de agobio.

ÍNDICE

1.- Motivación y objetivos	
1.1.- Marco del proyecto	6
1.2.- Objetivos del proyecto	7
2.1.- Transistores MOS de puerta flotante.....	9
2.2.- Transistores de puerta cuasi-flotante	14
2.3.- Clase A / Clase AB.....	18
2.4.- Clase AB y técnicas QFGT	19
2.5. - Power-On Reset.....	21
2.6.- Inversión débil	24
3.- Transconductor.....	31
3.1.- Introducción a los transconductores	31
3.1.1.- Definiciones	31
3.1.2.- Diseños básicos	34
3.2.- Diseño del bloque transconductor.....	36
3.2.1.- Bases de diseño	36
3.2.2.- Diseño de Transconductores de linealidad alta	38
3.2.3.- Elementos del Transconductor	42
3.2.3.1.- Seguidor de tensión.....	42
3.2.3.2.- Seguidor de corriente	44
3.2.3.3.- Circuito CCII en clase A	45
3.2.4.- Transconductor con topología en clase A	45
3.2.5.- Transconductor con topología en clase AB	47
3.2.5.1- Dimensionamiento y simulaciones.....	48
3.2.6.- Transconductor con topología en clase AB y P.O.R.....	51

3.2.6.1.- Dimensionamiento y simulaciones.....	52
3.2.7.- Transconductor con topología en clase AB en inversión débil	54
3.2.7.1.- Dimensionamiento y simulaciones.....	55
3.2.8.- Resumen de resultados.....	58
3.3.- Transconductor sintonizable.....	59
3.3.1.- Transconductor sintonizable sin etapas de reset.....	60
3.3.2.- Transconductor sintonizable con P.O.R.....	63
3.3.3.- Transconductor sintonizable en inversión débil	65
4.- Filtro paso bajo de primer orden.....	69
4.1.- Circuito para control de modo común CMFB.....	71
4.2.- Filtro de primer orden sin etapa de reset	75
4.3.- Filtro de primer orden con P.O.R.	77
4.4.- Filtro de primer orden en inversión débil	81
5.- Filtro paso bajo de tercer orden.....	84
5.1.- Filtro de tercer orden paso bajo sin etapa de reset.....	86
5.2.- Filtro de tercer orden paso bajo con P.O.R.	90
5.3.- Filtro de tercer orden paso bajo en inversión débil	95
6.- VGA de primer orden.....	105
6.1.- VGA de primer orden sin etapa de reset.....	106
6.2.- VGA de primer orden con P.O.R.....	109
6.3.- VGA de primer orden en inversión débil.....	111
7.- Layouts.....	115
7.1.- Técnicas de layout	116
7.2.- Layouts realizados	117
8.- Conclusiones y líneas futuras.....	121
8.1.- Conclusiones	122
8.2.- Líneas futuras	122

CAPÍTULO 1

MOTIVACIÓN Y OBJETIVOS

La finalidad de este capítulo de introducción es presentar el marco sobre el que trabaja este proyecto final de carrera. La primera sección está enfocada a las motivaciones que llevaron a realizar el proyecto, enfatizando la creciente importancia de los diseños analógicos de baja tensión y bajo consumo. La segunda sección presentará de manera esquemática los objetivos que desean alcanzarse mediante la realización del proyecto final de carrera.

1.1.- Marco del proyecto

En las últimas décadas, se ha podido observar un gran crecimiento en la demanda de circuitos electrónicos de bajo consumo y alta integración. Esta demanda es debida a que los requerimientos de sistemas de comunicación inalámbricos y portátiles alimentados por baterías es también mayor cada vez. De esta manera, la idea es conseguir que estos sistemas de comunicación sean ligeros y compactos, y que al mismo tiempo, la duración de las baterías sea la máxima posible. Por ello, la prioridad a la hora de diseñar este tipo de circuitos es que el consumo de potencia sea el mínimo posible.

Estas exigencias en los circuitos electrónicos CMOS están provocando que las tensiones de alimentación que se utilizan sean cada vez menores, acercándose peligrosamente a las tensiones umbral de los transistores. Los circuitos digitales se han adaptado perfectamente a esta tendencia, debido al modo en que se procesan las señales. Sin embargo, en el caso de tener circuitos CMOS puramente analógicos o en modo mixto analógico/digital, se tiene una gran degradación en términos de rango dinámico y relación señal a ruido al disminuir la tensión de alimentación si se emplean técnicas de diseño analógico convencionales. Por ello, aparece la necesidad del uso de técnicas nuevas para el procesamiento analógico de la señal, de manera que nos adaptemos a las nuevas características.

Se pretende en este proyecto diseñar y fabricar en silicio nuevos circuitos analógicos basados en técnicas de transistores MOS de puerta cuasi-flotante (QFGMOS). En particular, se estudiarán mejoras a los transistores QFGMOS convencionales que mejoren su linealidad y su comportamiento transitorio, y se aplicarán al diseño de circuitos de ultra bajo consumo. Estos circuitos estarán orientados fundamentalmente a la implementación de bloques necesarios en secciones de banda base de receptores inalámbricos de ultra bajo consumo, como pueden ser los filtros de selección de canal o amplificadores de ganancia variable.

Concretamente, se prestará especial atención a la mejora de los transistores QFGMOS en términos de comportamiento transitorio y estabilidad, mediante técnicas de power-on reset y la operación en inversión débil y moderada de estos transistores. Esta versión mejorada de los transistores QFGMOS se aplicará al diseño de los bloques antes mencionados.

1.2.- Objetivos del proyecto

En relación con lo descrito anteriormente, los objetivos que se pretenden alcanzar realizando este proyecto son los siguientes:

- Revisión de los conceptos básicos en microelectrónica analógica: operación del transistor CMOS, etapas básicas (par diferencial, espejo de corriente, etc.), amplificadores operacionales, etc.
- Manejo de las herramientas de diseño microelectrónico: entornos Cadence y Synopsys.
- Revisión bibliográfica de las técnicas existentes de diseño en baja tensión y bajo consumo, con énfasis en técnicas de puerta flotante y cuasi-flotante.
- Diseño y simulación de los distintos bloques (amplificadores, transconductores, etc.)
- Aplicación y simulación de las técnicas de mejora a los transistores de puerta cuasi-flotante que formen parte de los bloques anteriormente diseñados.
- Diseño y simulación de filtros de selección de canal.
- Aplicación de técnicas power-on reset e inversión débil y moderada en los filtros de selección de canal anteriores.

CAPÍTULO 2

TÉCNICAS DE DISEÑO

Las tendencias de hoy en día en el diseño de circuitos microelectrónicos en tecnologías CMOS, referidas sobre todo a temas de fiabilidad y consumo de potencia (como por ejemplo la reducción del grosor de la capa puerta-óxido, el aumento de la integración y el aumento de la demanda en equipos portátiles que funcionen con baterías) ha obligado a que las tensiones de alimentación sean menores (de manera que éstas se acercan a los valores de tensión umbral de los transistores MOS) así como a un bajo consumo de potencia por parte de los equipos al mismo tiempo.

Esta reducción tan drástica de las tensiones de alimentación tiene un efecto especialmente negativo en los circuitos CMOS analógicos ya que va a suponer una degradación del rango dinámico y de la relación señal a ruido. Para evitar estos problemas, se van a emplear una serie de técnicas alternativas cuyo objetivo básico es trabajar con tensiones de alimentación bajas para permitir la operación *rail-to-rail*.

2.1.- Transistores MOS de puerta flotante.

Un transistor MOS de puerta flotante (FGT) de n entradas se caracteriza por el hecho de que el electrodo de puerta que se extiende sobre el canal queda flotante eléctricamente, de manera que su tensión viene dada por una serie de n puertas de control que se colocan sobre ese electrodo utilizando una segunda capa de polisilicio, formando n condensadores sobre los cuales se aplicaran las diferentes tensiones de entrada.

En la siguiente figura podemos observar el *layout* simplificado de un FGT de tres entradas y también su símbolo correspondiente:

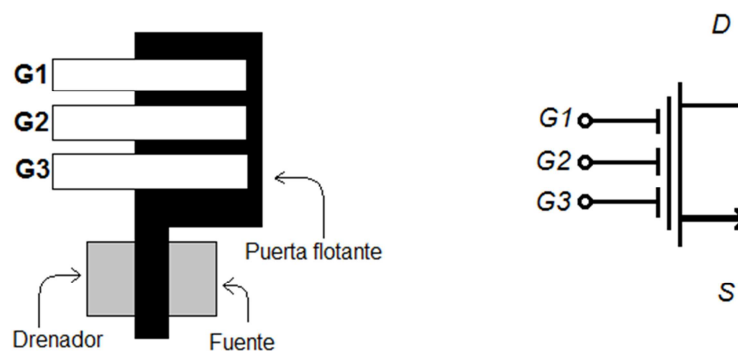


Figura 2.1. Layout y símbolo FGT

El circuito equivalente de unos de estos transistores de puerta flotante está representado en la siguiente figura. En dicho circuito equivalente pueden apreciarse los acoplos capacitivos entre las puertas de entrada y la puerta flotante y también las capacidades parásitas del transistor:

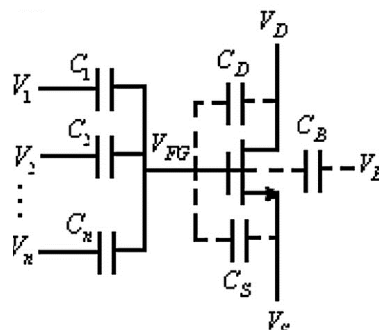


Figura 2.2. Circuito equivalente FGT

Como en teoría la puerta flotante no puede cargarse ni descargarse, la carga inicial almacenada se conservará. Esta carga podrá ser eliminada durante el proceso de

fabricación, utilizando técnicas de *layout* adecuadas o también mediante el uso de un borrador de memorias EPROM tras la fabricación del circuito. Con el fin de hacer más simple el análisis, consideraremos nula la carga inicial. Así, la tensión en la puerta flotante del transistor será igual a:

$$V_{FG} = \frac{\sum_{k=1}^n C_k V_k + C_{GS} V_S + C_{GD} V_D + C_{GB} V_B}{C_T} \quad (2.1)$$

Teniendo en cuenta que se eligen unas capacidades de entrada cuya suma es mucho mayor que las capacidades parásitas, la capacidad total puede aproximarse por:

$$C_T = \sum_{k=1}^n C_k + C_{GS} + C_{GD} + C_{GB} \approx \sum_{k=1}^n C_k \quad (2.2)$$

Así, de las anteriores ecuaciones podemos deducir que la tensión de la puerta flotante V_{FG} es una suma ponderada de las n tensiones de entrada, donde los coeficientes de ponderación (a_k) que multiplican a las diferentes tensiones de entrada (V_k) tienen un valor igual al cociente entre la capacidad asociada a dicha entrada y la capacidad total conectada a la puerta flotante, además de algunos términos adicionales dados por la contribución de las capacidades parásitas.

$$V_{FG} = a_1 \cdot V_1 + a_2 \cdot V_2 + \dots + a_n \cdot V_n + \frac{C_{GS}}{C_T} \cdot V_S + \frac{C_{GD}}{C_T} \cdot V_D + \frac{C_{GB}}{C_T} \cdot V_B \quad (2.4)$$

$$a_k = \frac{C_k}{C_T} \approx \frac{C_k}{\sum_{i=1}^n C_i} \quad (2.5)$$

Observando estas ecuaciones podemos deducir que las tensiones de entrada sufren una atenuación debida a los *divisores de tensión capacitivos*, así que estos pueden dimensionarse para que sea posible el uso de señales de entrada *rail-to-rail*, lo cual es muy útil en aplicaciones de muy baja tensión de alimentación.

Las ventajas que introducen los transistores de puerta flotante al ser introducidos en los circuitos son evidentes, pero es importante notar que también ocasionan problemas a la hora de realizar la simulación de los mismos. Al realizar el análisis en DC, la mayoría de los simuladores sustituyen los condensadores por circuitos abiertos, lo que provoca problemas de convergencia en los nodos de las puertas flotantes. Para solucionar estos problemas existen distintas propuestas que se exponen a continuación.

En primer lugar, se puede optar por conectar n fuentes de tensión controladas por tensión (VCVS) a la puerta flotante en cuestión, de manera que las tensiones de control de las mismas sean las distintas tensiones de entrada (V_k), y la ganancia asociada a cada fuente sea su coeficiente de ponderación correspondiente (a_k).

Nos interesa que las fuentes controladas solamente dominen en DC; cuando los condensadores actúen como circuitos abiertos. Para ello, estas fuentes se conectarán a la puerta flotante a través de una resistencia de gran valor (del orden de $G\Omega$), de modo que la corriente que circule por ella sea prácticamente nula. El esquema de este tipo de conexión es el siguiente:

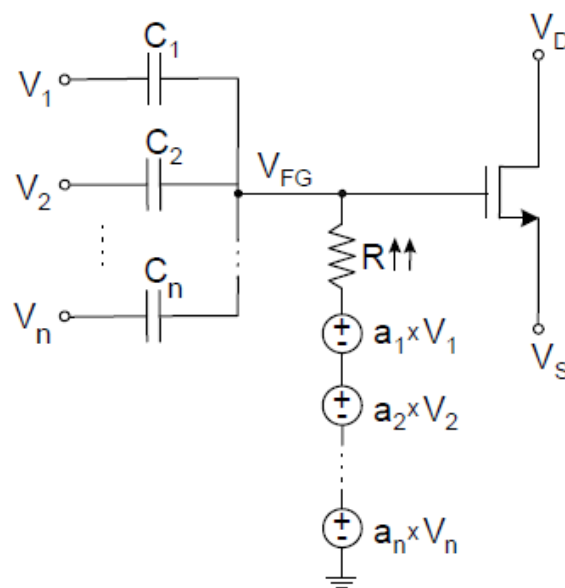


Figura 2.3. Modelo de simulación para evitar problemas de convergencia

El segundo modelo que se puede utilizar para simular transistores de puerta flotante puede verse en la siguiente figura:

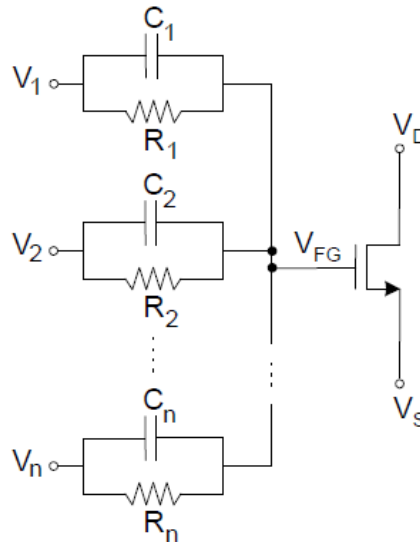


Figura 2.4 Segundo modelo de simulación para evitar problemas de convergencia

En este caso se colocan resistencias de alto valor en paralelo con cada uno de los condensadores de entrada. Como en AC la impedancia de los condensadores es mucho menor que la de las resistencias que tienen en paralelo, el análisis en AC dará como resultado una situación análoga a la que se obtenía con el modelo anterior. Sin embargo, para que la situación en DC también se mantenga igual, hay que dimensionar las resistencias de forma que cada entrada tenga el mismo peso que en el modelo de simulación anterior. En la siguiente ecuación podemos observar la relación entre el valor de las resistencias de los modelos anteriores y los coeficientes de ponderación (a_k) comentados:

$$V_{FG} = \frac{1}{1 + \underbrace{\frac{R_1}{R_2 \parallel R_3 \parallel \dots \parallel R_n}}_{a_1}} V_1 + \frac{1}{1 + \underbrace{\frac{R_2}{R_2 \parallel R_3 \parallel \dots \parallel R_n}}_{a_2}} V_2 + \dots + \frac{1}{1 + \underbrace{\frac{R_n}{R_2 \parallel R_3 \parallel \dots \parallel R_n}}_{a_n}} V_n \quad (2.6)$$

Como conclusión podemos decir que la aplicación más inmediata de los FGT es generar combinaciones lineales de tensiones de manera fácil. Generalmente, para poder hacer una suma de tensiones utilizando métodos convencionales, se necesita realizar una conversión lineal tensión-corriente, sumar las corrientes y llevar a cabo nuevamente la conversión lineal corriente-tensión. Este proceso puede generar problemas como distorsión, aumento de consumo de potencia y reducción del rango dinámico.

Dada su capacidad de retener la carga en su puerta flotante, otra posible aplicación podría ser el uso de estos transistores en el almacenamiento de datos o diseño de redes neuronales.

Finalmente, la aplicación más importante de los transistores de puerta flotante es la atenuación, a través del divisor capacitivo, de las señales aplicadas en sus entradas. Esta disminución del nivel de las señales va a permitir aumentar el rango de entrada en circuitos que trabajan con una tensión de alimentación baja, como es el caso de los circuitos con los que trabajaremos a lo largo de este proyecto. Además, haciendo que una de las entradas de la puerta flotante sea una tensión en DC variable, puede ajustarse la tensión en DC en la puerta del transistor.

2.2.- Transistores de puerta cuasi-flotante

A raíz del apartado anterior, se crea el concepto de MIFG (*Multiple-Input Floating Gate*). Debemos estudiar su comportamiento así como sus pros y contras, ya que a partir de este concepto vamos a obtener el QFG (*Quasi-Floating Gate*) en el que está basado este apartado.

En la siguiente figura podemos observar cómo está formado un transistor MIFG, en particular, un transistor pMOS de tres entradas de puerta flotante. En la figura puede apreciarse tanto el *layout*, donde se ve el transistor pMOS que ha sido construido en el interior de un pozo de tipo *n*, como su circuito equivalente para un caso genérico de *N+1* entradas, así como las capacidades parásitas de cada terminal del transistor.

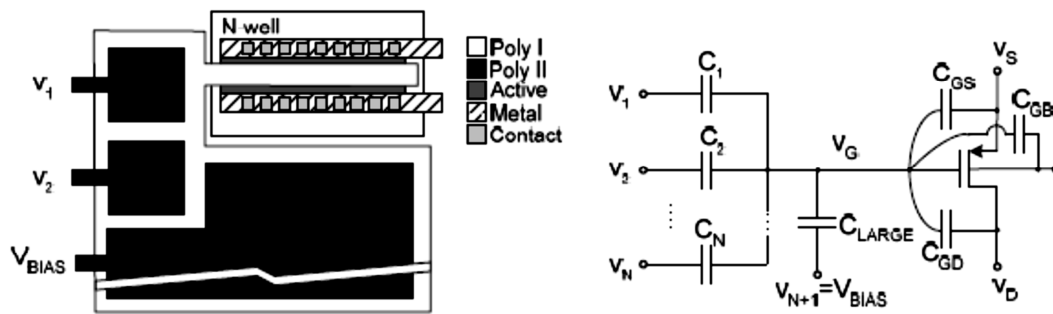


Figura 2.5. Layout y circuito equivalente de un MIFG

La tensión en la puerta corresponde a la siguiente expresión, teniendo en cuenta que los terminales de entrada estén acoplados capacitivamente a la puerta (como se vio en la sección anterior) y asumiendo que la carga almacenada en la puerta es nula:

$$V_G = \frac{1}{C_T} \left(\sum_{k=1}^{N+1} C_k v_k + C_{GS} v_S + C_{GD} v_D + C_{GB} v_B \right) \quad (2.7)$$

Donde C_k es la capacidad de acoplo de la *k*-ésima rama de entrada. La capacidad total puede calcularse como:

$$C_T = \sum_{k=1}^{N+1} C_k + C_{GS} + C_{GD} + C_{GB} \quad (2.8)$$

Dado que el análisis realizado hasta ahora es exactamente igual que el que se hizo en la sección anterior sobre los FGT, llegamos a la misma conclusión; las entradas se ven

atenuadas mediante divisores de tensión capacitivos, permitiendo el uso de tensiones *rail-to-rail* como exigen las aplicaciones de bajo consumo.

Sin embargo, este tipo de aplicaciones también requieren que la tensión en DC de la puerta flotante se mantenga cercana a una de las dos tensiones de alimentación para asegurar una polarización correcta del transistor. En el caso de ser un MIFG nMOS esta tensión deberá ser cercana a V_{DD} y a V_{SS} en el caso de ser un MIFG pMOS. Por esto, la $N+1$ -ésima entrada del transistor se fija a una tensión en DC denominada V_{BIAS} que tomará el valor V_{DD} o V_{SS} dependiendo del tipo de transistor con el que estemos trabajando. La capacidad de condensador asociado a esta entrada (C_{LARGE}) será mucho mayor que la del resto de condensadores, por lo que la expresión anterior se ve modificada como sigue:

$$V_G = \frac{C_{LARGE}}{C_T} V_{BIAS} + \frac{1}{C_T} \left(\sum_{k=1}^N C_k v_k + C_{GS} v_S + C_{GD} v_D + C_{GB} v_B \right) \quad (2.9)$$

Es importante notar que el uso de este tipo de transistores de puerta flotante de múltiples entradas tiene una serie de desventajas asociadas:

- Primeramente, la obligación de deshacernos de la posible carga almacenada en el terminal de la puerta. Este problema es característico de todos los FGT en general, por lo que ya ha sido tratado en el apartado anterior, al igual que las posibles soluciones. Una de estas soluciones podría ser el uso de un borrador de memorias EPROM para eliminar la carga almacenada una vez realizada la fabricación del circuito. Otra manera es colocar varios niveles de contactos de metal apilados sobre los terminales de las puertas flotantes en el momento de realizar el *layout*, de manera que estos descarguen la puerta en la deposición de las capas de metal, pero que la mantengan flotante tras el proceso de "*etching*". Así, tras la fabricación la puerta quedará flotante y sin carga almacenada.
- En segundo lugar, dado que la capacidad del condensador de acoplo C_{LARGE} es muy grande, también lo será su área, lo que aumenta el área de silicio requerida para la fabricación del circuito.
- El último de los inconvenientes de este tipo de transistores también está relacionado con el gran área del condensador de acoplo. Si los transistores

MIFG forman un par diferencial de entrada a un amplificador, el gran tamaño del condensador hará que el *producto ganancia por ancho de banda (GB)* disminuya notablemente.

Para solucionar estos problemas, es posible utilizar una resistencia de gran valor (R_{LARGE}) en lugar del condensador para conectar la tensión en DC a la puerta flotante. Si realizamos este cambio obtendremos un *transistor de puerta cuasi-flotante (QFGT: Quasi-Floating Gate Transistor)*, el cual podemos ver en la siguiente figura:

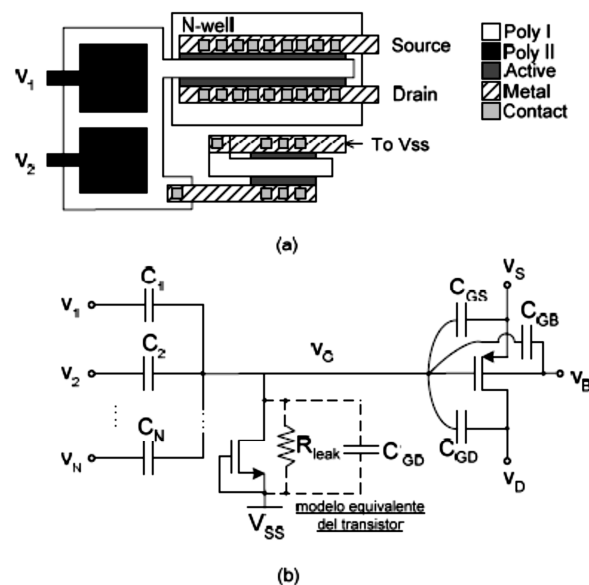


Figura 2.6. Layout y circuito equivalente de un QFGT

Al igual que ocurría en los FGT, los terminales de entrada están acoplados capacitivamente a la puerta cuasi-flotante, sólo que en este caso la tensión en DC que antes era una tensión genérica V_{BIAS} ahora se fija a V_{SS} , dado que el transistor es pMOS, sin necesidad de un condensador de gran valor, sino con una resistencia. En la práctica, esta resistencia de gran valor R_{LARGE} se implementa mediante la resistencia de *leakage* (por eso se ha denominado R_{leak} en el dibujo) de un transistor nMOS de tamaño mínimo operando en la región de corte, lo cual se consigue cortocircuitando los terminales de puerta y fuente. Como podemos imaginar, esto implica que el área de silicio necesaria para fabricar el circuito es mucho menor que en el caso de necesitar el condensador de gran tamaño anterior.

En esta ocasión la tensión AC de puerta del transistor viene dada, en el dominio de la frecuencia, por la siguiente expresión:

$$V_G = \frac{sR_{leak}}{1 + sR_{leak}C_T} \left(\sum_{k=1}^N C_k V_k + C_{GS}V_S + C_{GD}V_D + C_{GB}V_B \right) \quad (2.10)$$

Siendo la capacidad total:

$$C_T = \sum_{k=1}^{N+1} C_k + C_{GS} + C_{GD} + C'_{GB} \quad (2.11)$$

De la ecuación para la tensión en la puerta podemos deducir que cada una de las entradas sufre un filtrado paso-alto con frecuencia de corte $1/(2\pi R_{leak}C_T)$, que puede tomar valores muy bajos, ya que el valor de R_{leak} es muy alto. Por tanto, incluso para señales de muy baja frecuencia, la ecuación para V_G es una suma ponderada las tensiones de entrada determinada por las relaciones entre capacidades, más algunos términos parásitos. Es importante destacar que el valor exacto de R_{leak} así como su dependencia con la tensión y con la temperatura no son factores de interés, ya que ésta es suficientemente grande como para que la frecuencia de corte no se acerque nunca a la frecuencia mínima a la que va a funcionar el circuito. Por la misma razón el valor exacto de C_T tampoco es relevante.

En los transistores QFGT, la resistencia R_{leak} establece una tensión DC en la puerta del transistor igual a la tensión en DC que se haya aplicado en su terminal, y sobre ella se superpone la tensión en AC de la expresión para V_G anterior, creada por el resto de entradas. Así, la tensión de la puerta del QFG puede ser menor que el valor de tensión de la alimentación negativa; esto es bastante habitual en circuitos que usen alimentaciones con tensiones inferiores a 1V. Sin embargo esto no va a ser un problema siempre y cuando la diferencia de potencial entre la tensión de puerta y de alimentación sea menor que la tensión que provoca que la unión *p-n* entre el *body* y la fuente del transistor nMOS con el que se ha implementado R_{leak} se polarice en directa, y así, empiece a conducir. Para controlar este problema, basta con escoger *ratios* entre los condensadores de acoplo de las entradas adecuados, a la hora de decidir los valores de los mismos.

Para el caso de un transistor QFGT nMOS, el análisis es parecido. En esta situación la resistencia se conecta a V_{DD} y se implementa mediante un transistor pMOS en corte.

2.3.- Clase A / Clase AB

Otra de las técnicas que se han empleado en el diseño de los circuitos que van a ser estudiados a lo largo de este proyecto, con el fin de mejorar sus prestaciones y así adecuarse a las especificaciones de la aplicación en cuestión, es la búsqueda de la operación en clase AB en lugar de clase A. Para conseguir circuitos que operen en clase AB a partir de circuitos operando en clase A se van a utilizar los transistores de puerta cuasi-flotante analizados en el apartado anterior.

En la siguiente figura podemos observar el esquemático de la etapa básica en clase AB usando una batería flotante, además de la implementación de dicha batería mediante un transistor QFG:

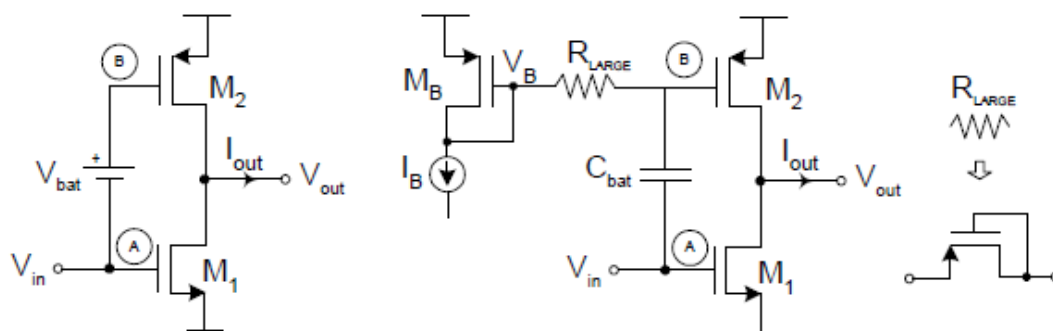


Figura 2.7. Etapa básica clase AB

El uso de la batería flotante V_{bat} en el primero de los esquemáticos, hace que el nodo B pueda seguir las variaciones de tensión del nodo A, con una diferencia de potencial en DC igual a V_{bat} voltios. En ausencia de señal, la corriente de salida la fija la tensión en el nodo A más la tensión en DC V_{bat} . Sin embargo, cuando existe señal en el circuito, las variaciones de señal del nodo A se traspasan al nodo B, de manera que la corriente de salida no esté limitada por la corriente que se obtuvo en condiciones estáticas.

En la segunda figura podemos ver una implementación de la batería mediante un QFGT. Aquí, la corriente que aparecerá en la salida en ausencia de señal es I_B ya que el condensador se comportará como un circuito abierto, haciendo que la corriente I_{out}

esté fijada por el espejo de corriente formado por los dos transistores superiores (M_1 y M_2). Cuando hay presencia de señal en el circuito, la tensión del nodo A se transferirá al nodo B, como ocurría en el caso anterior, pero esta vez sufrirá un filtrado paso alto con frecuencia de corte $1/(2\pi R_{large} C_{bat})$. Dado que la resistencia tendrá un valor muy elevado, la frecuencia de corte será muy baja, lo que implica que el filtrado que sufre la señal únicamente eliminará la componente en DC del voltaje transferido de A a B. Como venimos realizando hasta ahora, esta resistencia de gran valor puede implementarse mediante un transistor operando en la región de corte.

La principal ventaja que ofrece la operación en clase AB es la mejora significativa del *Slew-Rate* cuando es aplicada en circuitos operando en gran señal.

2.4.- Clase AB y técnicas QFGT

Como veremos en el siguiente capítulo dedicado especialmente al bloque transconductor, las técnicas de puerta cuasi-flotante van a ser utilizadas para obtener una operación en clase AB a partir de circuitos que trabajan en clase A.

De acuerdo a lo visto en la sección anterior, la operación en clase AB puede obtenerse añadiendo un condensador flotante y una resistencia de gran valor a un circuito, de manera que esta última puede implementarse mediante un transistor de muy pequeñas dimensiones polarizado para trabajar en la región de corte. En un entorno de simulación el hecho de tener una gran resistencia conectada a un capacitor no plantea ningún tipo de problema, ya que las fuentes de alimentación utilizadas presentan un valor de tensión constante desde el instante en el que son conectadas. Sin embargo, en una operación real de una de estas topologías, las fuentes de alimentación utilizadas no alcanzarán el valor de alimentación instantáneamente, sino que habrá un cierto periodo de tiempo hasta que el voltaje llegue a valer VDD o VSS:

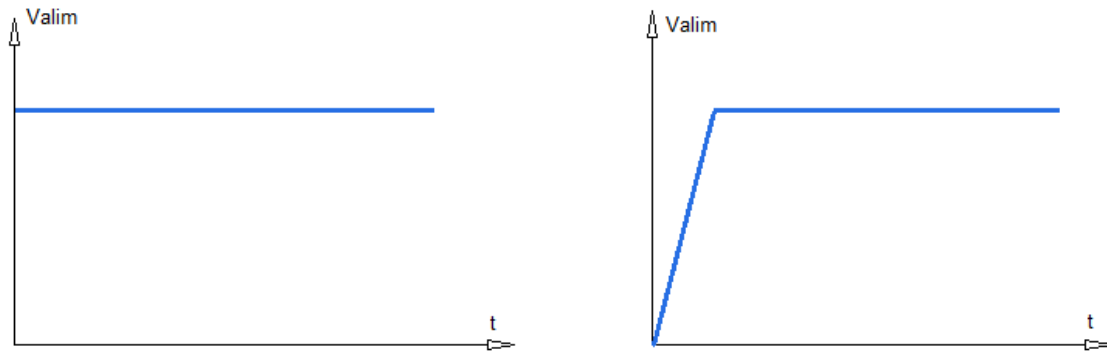


Figura 2.8. Respuestas de fuentes de alimentación ideal y real

En la figura podemos observar como son las respuestas de una fuente de alimentación ideal (izquierda) frente a una fuente de alimentación real (derecha). El tiempo que le cuesta a la fuente de alimentación real llegar hasta el valor de tensión nominal se denomina *tiempo de subida o rise-time*; es este tiempo de subida el que puede producir problemas al estar trabajando con un condensador conectado a una resistencia muy grande. Como la tensión que va a cargar el condensador presenta este tiempo de subida y además se aplica a través de una gran resistencia, el tiempo que tarda el condensador en cargarse va a ser mucho mayor que el que tardaba en el caso de tener fuentes de alimentación ideales, lo cual hace que el transistor de puerta cuasi-flotante que está a continuación del condensador y la resistencia de gran valor no funcione correctamente desde el principio, provocado así posibles periodos transitorios relativamente largos (del orden de cientos de microsegundos).

Para poder estudiar este tipo de problemas en simulación, las fuentes de alimentación que se utilizarán a lo largo de todos los circuitos analizados dejarán de ser de tipo “ V_{DC} ” para pasar a ser de tipo “ V_{PULSE} ”, fuentes que nos permiten emular el comportamiento de una fuente real.

2.5. - Power-On Reset

Los circuitos de “Power-On Reset” o “POR” son circuitos que como su propio nombre indica, se utilizan para dar un determinado estado a un sistema tras el encendido. En nuestro caso concreto, esto se aplicará para evitar los posibles periodos transitorios que aparecen al usar fuentes reales en topologías con transistores de puerta cuasi-flotante.

Se propone el uso de un circuito P.O.R., de manera que el transistor que implementa la resistencia no esté en corte todo el tiempo, sino sólo una vez que el condensador se ha cargado totalmente. Para ello, se plantea lo siguiente:

El terminal de puerta del transistor M_{Rlarge} se desconecta de su drenador, y se conectará a un circuito P.O.R. que estará formado por un filtro paso bajo RC y dos inversores MOS en serie, como muestra la siguiente figura. Es importante notar que los transistores que forman el inversor deben cumplir que el de la parte superior sea tres veces más grande que el de la parte inferior.

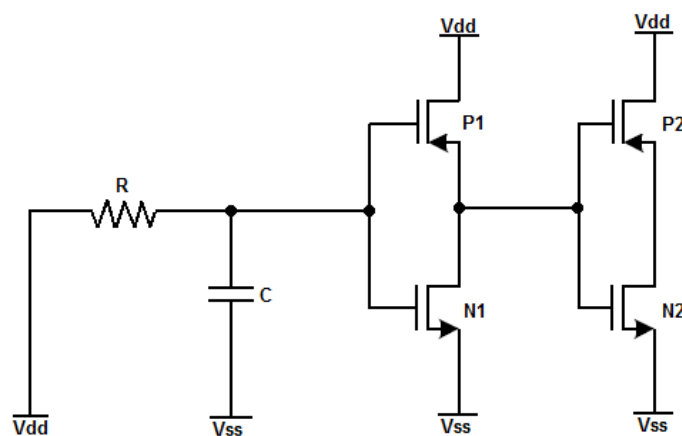


Figura 2.9. Esquemático circuito Power-On Reset

La idea de esto es que el transistor conectado en diodo esté en conducción un periodo de tiempo suficiente para que cuando empiece a estar en corte y por tanto tener alto valor resistivo, la tensión en la puerta del transistor QFG ya sea V_{DD} , en lugar de tener que esperar el largo periodo de tiempo que le cuesta alcanzar esta tensión al tener el transistor M_{Rlarge} conectado en diodo.

La señal de tensión que obtenemos a la salida de este circuito de Power-On Reset puede verse en la siguiente figura:

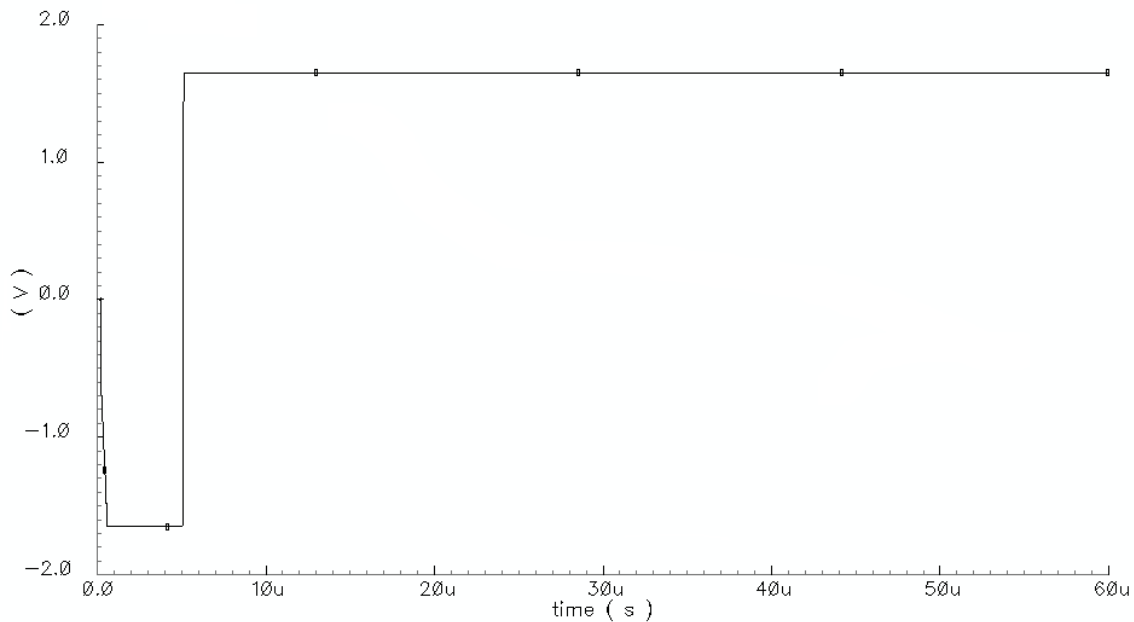


Figura 2.10. Respuesta temporal del P.O.R.

Como vemos, el P.O.R. entrega una tensión igual a V_{SS} durante un primer periodo de tiempo para luego pasar a V_{DD} , lo que hace que el transistor QFG no tenga que sufrir la espera del tiempo de carga del condensador C_{bat} .

La diferencia de tiempo que le cuesta a la puerta del transistor QFG alcanzar la tensión V_{DD} entre usar P.O.R. o no es más que evidente; lo podemos comprobar en la siguiente figura, que se ha extraído de un circuito aislado con un solo transistor para comparar la evolución de la tensión en la puerta del mismo.

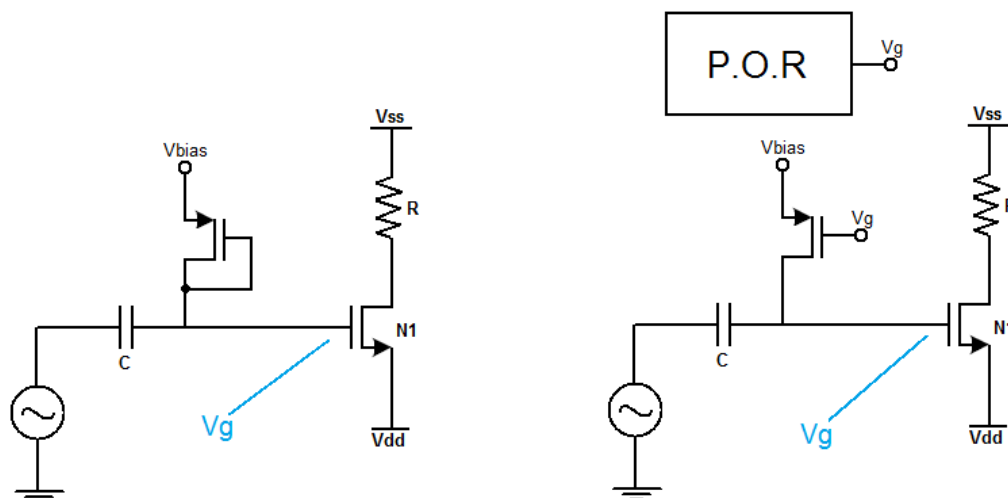


Figura 2.11. Circuitos de prueba para comparar el funcionamiento de QFG conectado en diodo VS uso de P.O.R.

El resultado de los dos voltajes en las puertas de los transistores puede verse en la siguiente figura:

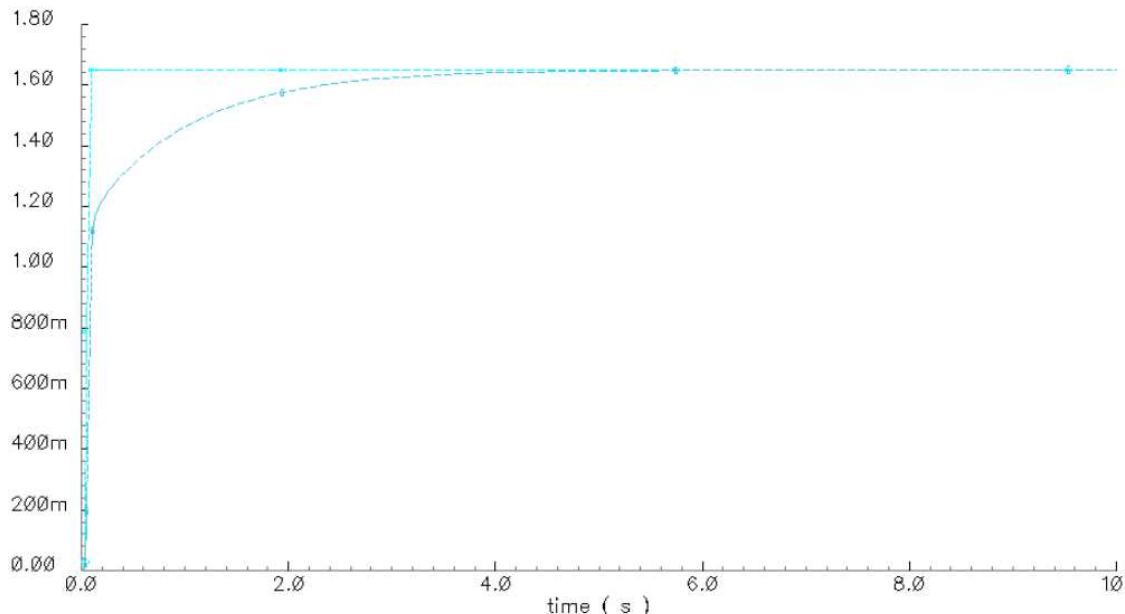


Figura 2.12. Convergencia de voltajes a V_{DD} con y sin circuito de Power-On Reset

La curva azul clara corresponde al caso en el que tenemos el circuito Power-On Reset conectado. Como se puede apreciar, la convergencia desde 0 a 1.65 V es mucho más rápida en este caso, lo cual ayudará al funcionamiento de los circuitos que utilicen las técnicas QFG cuando sea aplicado a la puerta del transistor M_{Rlarge} .

Con el fin de comprobar el impacto de estos circuitos, se ha planteado la opción de utilizar circuitos POR de otros tipos. Más concretamente, el objetivo es obtener una subida más suave desde cero a la tensión de bias. Para ello, un circuito alternativo es simplemente utilizar un circuito RC simple (igual que el POR inicial pero sin los inversores). Mediante esto, se conseguirá una transición más suave, controlable además con los parámetros R y C del circuito. En cualquiera de los casos, solo se requiere un circuito POR para controlar todos los transistores QFG del sistema, por lo que su impacto en términos de área y consumo es mínimo.

2.6.- Inversión débil

El uso de este tipo de circuitos POR hace que el transistor QFG pase de un estado de conducción a corte, de manera que la resistencia pasa de un valor del orden de Ohmios a giga Ohmios. La idea tras la operación del QFG en inversión débil es que la tensión en la puerta del transistor QFG no alcance el valor V_{DD} , de manera que el estado de corte no implemente una resistencia tan alta, y se quede en torno a valores de mega Ohmios.

Para hacer esto, es conveniente conectar la puerta de un transistor adicional al transistor QFG, de manera que la corriente que circule a través de él sea a su vez controlada por nuestro POR antiguo y un espejo de corriente. De este modo hay que realizar dos cambios:

- **Cambio en el transistor QFG:** el transistor QFG actual debe cambiarse por lo que hemos comentado anteriormente; la puerta del mismo a la puerta de un nuevo transistor que estará conectado en diodo y con su fuente cortocircuitada a la fuente del transistor QFG. El drenador de este nuevo transistor se conectará a una corriente que será extraída de un espejo de corriente controlado por el circuito de POR utilizado anteriormente.

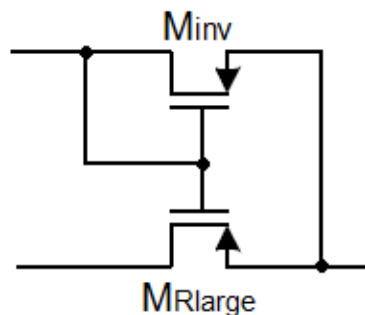


Figura 2.13. Transistor QFG modificado para inversión débil

- **Espejo de corriente controlado mediante el POR original:** la corriente que queremos introducir al nuevo transistor será extraída de un espejo de corriente que será a su vez controlado por el circuito POR que usábamos anteriormente. Algo crucial para esto es que la salida del POR antiguo esté conectada a un switch tipo P, de manera que en el intervalo de tiempo que el POR extrae un

valor nulo, el switch estará introduciendo una tensión igual a VDD en el espejo de corriente de modo que la resistencia de esos transistores será muy baja, haciendo que los nodos que más tarde serán cuasi-flotantes se carguen muy rápidamente. Una vez pasado este intervalo, el switch queda abierto, sin afectar a la tensión de puerta, que vendrá determinada por IBIAS, y permitirá alta resistencia a los dispositivos QFG.

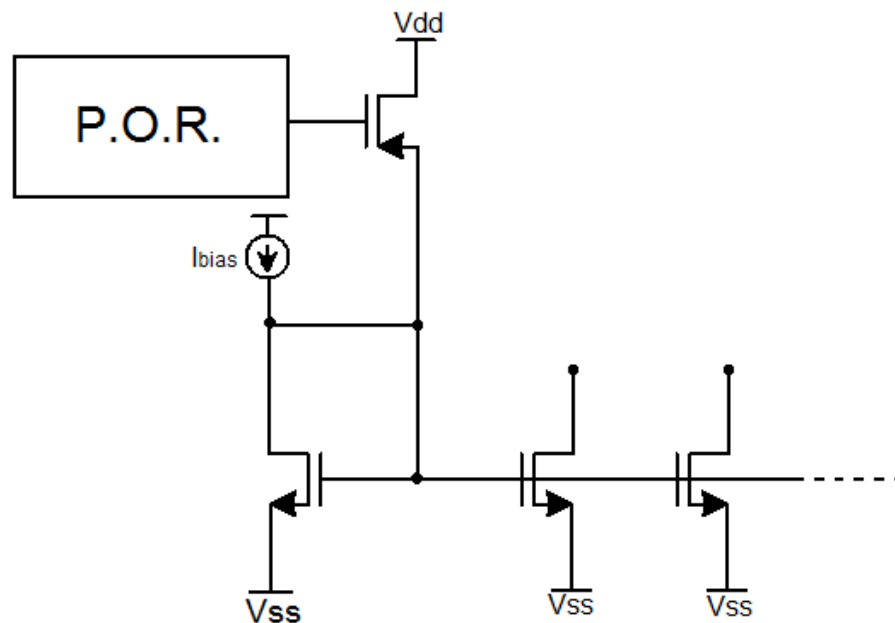


Figura 2.14. Espejo de corriente para la generación de la corriente de control del QFG modificado

Es importante que el espejo de corriente tenga una rama para cada uno de los QFG que queramos controlar. Esto se hace así ya que si no usáramos ramas separadas, la corriente se dividiría entre el número de QFGs que quisiéramos controlar, haciendo que la cantidad de la misma fuera cada vez menor a medida que se añaden más ramas. En la figura superior pueden verse solamente dos ramas; si hubiera más QFGs tendríamos que extraer un nuevo espejo para cada uno. Las dimensiones para los transistores que forman el espejo serán $\frac{3}{0.6}$ y la corriente que se introducirá en el mismo de entorno a 100fA.

El valor de la corriente de polarización para los espejos de corriente que controlan la corriente de los nuevos QFG es clave en cuanto a que dependiendo del valor que tome, el QFG que estamos controlando desaparecería y el circuito dejaría de funcionar. Esto podemos verlo comprobando que el voltaje en la puerta del transistor a

continuación del QFG se va degenerando a medida que subimos el valor de la corriente como muestra la siguiente figura:

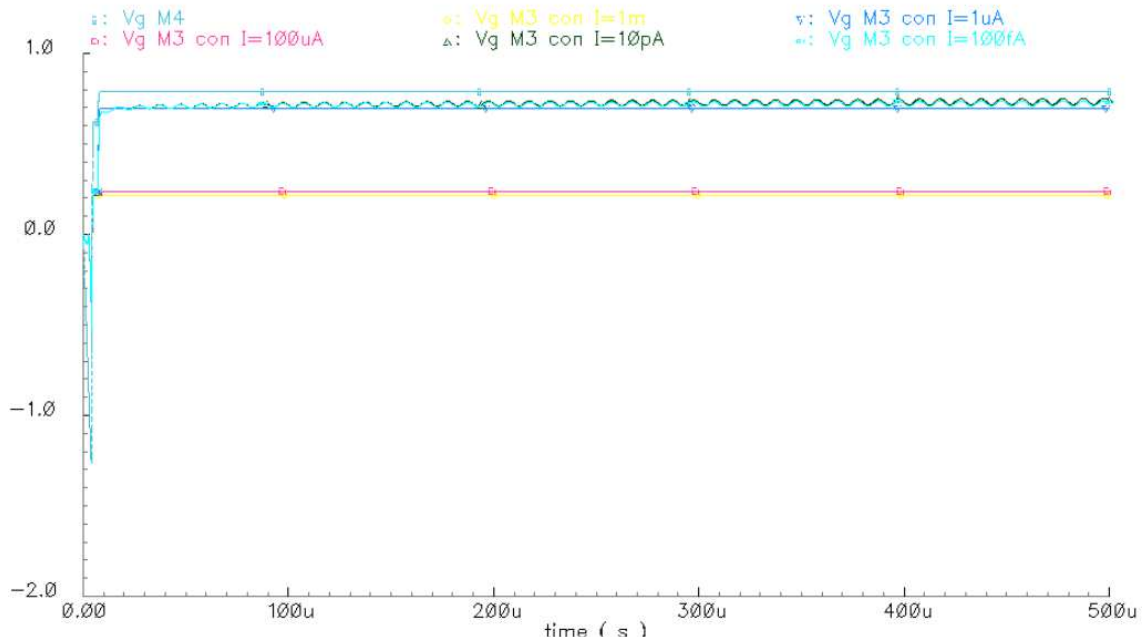


Figura 2.15. Impacto de los diferentes valores de la corriente de polarización en la convergencia de la tensión a V_{DD}

Por otro lado, el utilizar la configuración en inversión débil del transistor QFG implementa una resistencia menor que en el caso del QFG conectado en diodo. Estos circuitos QFG pueden verse como un filtro paso alto desde el punto de vista de señal en los cuales la frecuencia de corte depende de la resistencia implementada en los mismos, según la siguiente expresión:

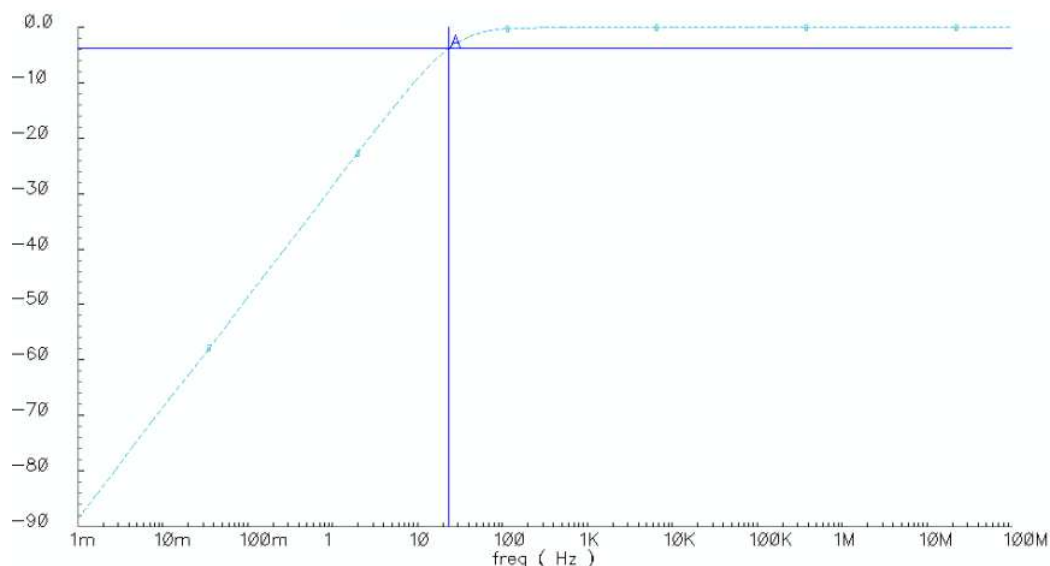
$$f_{-3dB} = \frac{1}{2\pi R_{large} C_b} \quad (2.12)$$

Siendo R_{large} la resistencia implementada por el circuito QFG. Como ya hemos comentado, la resistencia implementada por el circuito QFG en inversión débil es menor que en el caso del QFG original, lo que implica que la frecuencia de corte en los primeros será mayor. En el caso de tener un circuito con un transistor QFG conectado en diodo, la resistencia implementada será de entorno a $G\Omega$ lo cual hace que la frecuencia de corte esté en el orden de los Hertzios. Por otro lado, en inversión débil la frecuencia de corte puede subir hasta el orden de KHz, lo cual puede ser un problema para ciertas aplicaciones, por ejemplo, receptores que estén captando señales con

componentes frecuenciales bajas, las cuales se verían muy dañadas por esta frecuencia de corte. Esta frecuencia de corte más alta, sin embargo, presenta posibles ventajas, ya que es capaz de eliminar componentes frecuenciales bajas, lo cual puede ser interesante en ciertas aplicaciones que comentaremos más adelante.

El nivel de inversión débil que sufre el QFG viene determinado por el valor de la corriente que se inyecta por drenador del transistor superior. En función de ésta, la tensión en las puertas cortocircuitadas variará, y de esta manera la resistencia que implementa el transistor QFG; haciendo que la frecuencia de corte del filtro que se está viendo desde la entrada también varíe. Es importante destacar que para poder realizar las simulaciones con las diferentes corrientes, la fuente ideal en DC original ha tenido que sustituirse por un espejo de corriente, ya que el uso de la fuente ideal introducía valores de tensión que no se correspondían con la realidad de la simulación.

Se han realizado tres simulaciones, con tres diferentes valores de la corriente de polarización (100fA, 100pA y 100nA respectivamente), para comprobar que efectivamente la frecuencia de corte va aumentando a medida que la corriente crece:



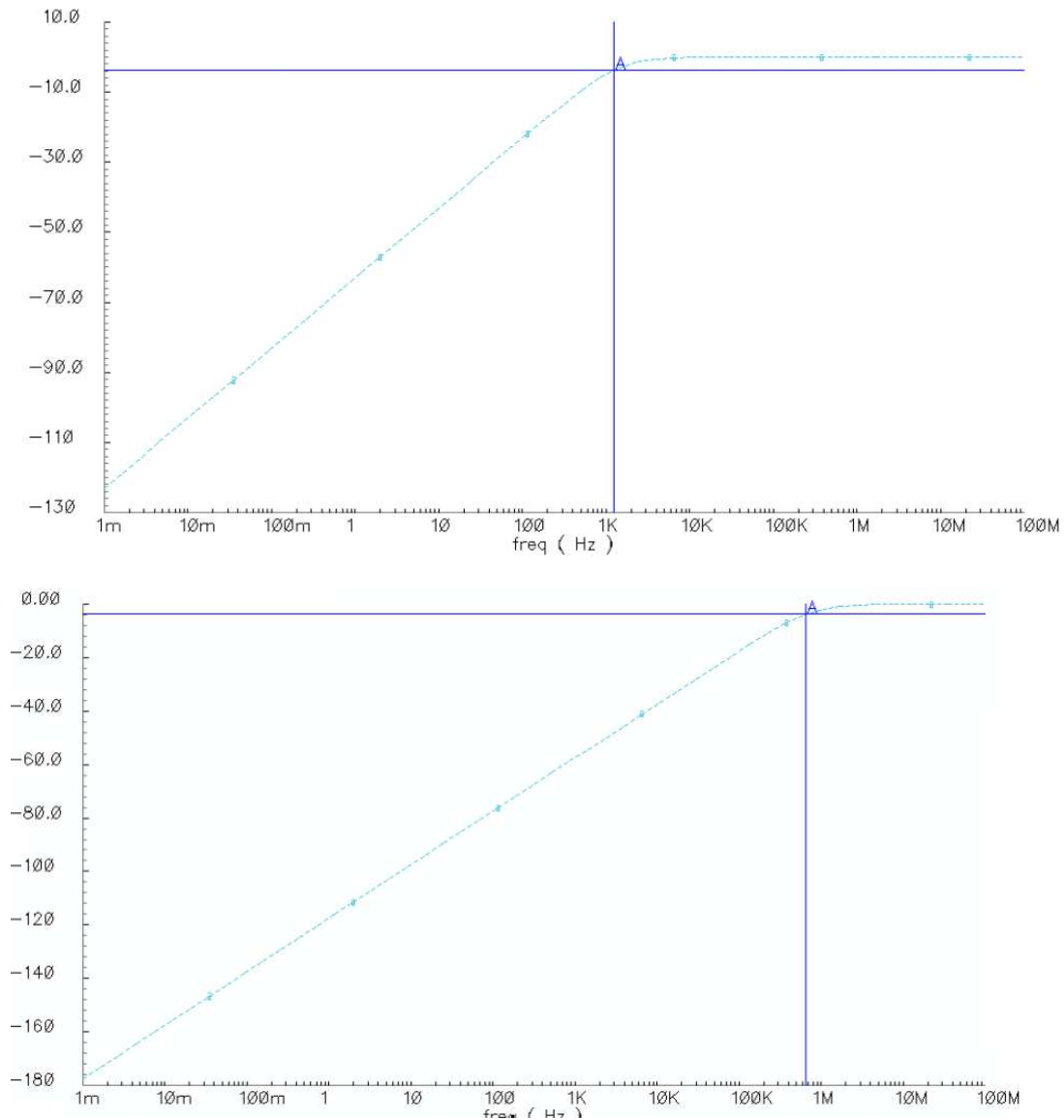


Figura 2.16. Aumento de la frecuencia de corte para diferentes valores de corriente de polarización

Como podemos observar, el mero hecho de trabajar con este tipo de puertas flotantes hace que señales en torno a DC se vean muy atenuadas. Esta característica puede ser un inconveniente, ya que podríamos estar atenuando componentes de la señal que queremos procesar haciendo que esta pierda parte esencial de su información.

Sin embargo, hay casos en los que es interesante que el sistema elimine componentes frecuenciales bajas (en torno a 25 o 50 Hz). Estos son dos de los casos más importantes:

- **Comunicaciones:** cuando en una cadena de recepción se utiliza un receptor por conversión directa, aparece un problema asociado al oscilador local y al mezclador. La señal senoidal pura que se crea en el oscilador local tiende a

transmitirse a través del mezclador hacia fuera, de manera que al entrar al mismo, se está produciendo una automodulación del oscilador local sobre el mismo, dando componentes del tipo coseno cuadrado. Como ya sabemos, el coseno cuadrado puede descomponerse como:

$$\cos^2(A) = \frac{1}{2} + \frac{1}{2}\cos(2A) \quad (2.13)$$

y vemos que aparece una componente en DC. Este offset puede ser muy perjudicial ya que el resto de la cadena de recepción presentan respuestas en frecuencia paso bajo, de manera que es posible que esta componente sature al sistema. Así, si los bloques del receptor están diseñados mediante esta técnica QFG de inversión débil, las componentes por debajo de más o menos 50Hz se verán atenuadas, y el problema estará resuelto.

- **Biomedicina:** en aplicaciones biomédicas en las que es necesario el uso de electrodos, las señales captadas por el sistema de análisis presentan un nivel en DC, provocado por la diferencia de impedancias entre el electrodo y la piel del paciente. Esta componente en DC depende a su vez de si el electrodo está en movimiento o no y también del tipo de señal que esté siendo analizada (EMG, ECG,...) pero debe ser eliminada para poder realizar un correcto análisis de las señales. Al igual que en el caso del receptor de conversión directa, si la cadena de recepción de la señal biomédica está diseñada con estas técnicas de QFG de inversión débil, las componentes de baja frecuencia se verán atenuadas por el mero hecho de cruzar el sistema diseñado de esta manera.

CAPÍTULO 3

TRANSCONDUCTOR

En este capítulo vamos a analizar el bloque básico que usaremos de aquí en adelante para el diseño del resto de bloques del proyecto; un transconductor sintonizable. En primer lugar se estudiará su comportamiento sin técnicas de reset, para luego analizar cómo el uso de las mismas afecta a los resultados obtenidos.

3.1.- Introducción a los transconductores

3.1.1.- Definiciones

Un *amplificador de tensión o de corriente* es un dispositivo que a su salida entrega el mismo parámetro que tiene a su entrada pero amplificado según la siguiente relación:

$$V_{out} = A \cdot V_{in} \quad (3.1)$$

$$I_{out} = A \cdot I_{in} \quad (3.2)$$

Siendo A la ganancia del amplificador.

Un *amplificador operacional de transconductancia u OTA (Operational Transconductance Amplifier)* se caracteriza por que entrega en su salida una corriente proporcional a su tensión de entrada. Puede verse, idealmente, como una fuente de corriente controlada por tensión siguiendo la relación:

$$I_{out} = G_m \cdot V_{in} \quad (3.3)$$

Donde la ganancia de este tipo de amplificadores (G_m) recibe el nombre de *transconductancia*.

La diferencia principal entre un amplificador operacional y un OTA es su impedancia de salida. Los amplificadores operacionales presentan valores bajos de impedancia de salida, mientras que los OTA tienen valores altos. Esto implica que el primero de los dispositivos podrá obtener una ganancia de tensión grande con cargas resistivas pequeñas, mientras que el segundo se usa con cargas resistivas o capacitivas grandes.

Lo expuesto hasta ahora nos permite deducir que un amplificador operacional en realidad no es nada más que un OTA seguido de un buffer. El OTA, cuya salida es de alta impedancia, entrega una corriente de salida proporcional a la tensión aplicada a su entrada, y una tensión de salida muy amplificada respecto a la de entrada debido a su alta ganancia en tensión, y el buffer únicamente copia esa tensión de su entrada en su salida, pero pasando de un terminal de alta impedancia a uno de baja.

Hemos definido los OTAs como fuentes de corriente controladas por tensión, pero la realidad es que estos dispositivos sólo presentan este comportamiento en un pequeño rango de entrada. De hecho, una de sus principales características es que proporcionan una gran transconductancia; una curva I_{out} frente a V_{in} con pendiente muy elevada, pero en un rango de entrada muy pequeño. Cuando se necesita utilizar estos circuitos en aplicaciones que requieran un rango de entrada mayor, es necesario realizar una linealización de la respuesta I_{out} VS V_{in} . Al realizar esta modificación de los OTA, obtenemos los *OTA linealizados* o más comúnmente conocidos como *Transconductores*.

Estos nuevos dispositivos presentan una curva en la que la corriente de salida tiene una pendiente menor pero en un rango de tensiones de entrada más amplio.

En la siguiente figura podemos observar ambas respuestas así como los símbolos que se utilizan para representar los dos tipos de circuitos:

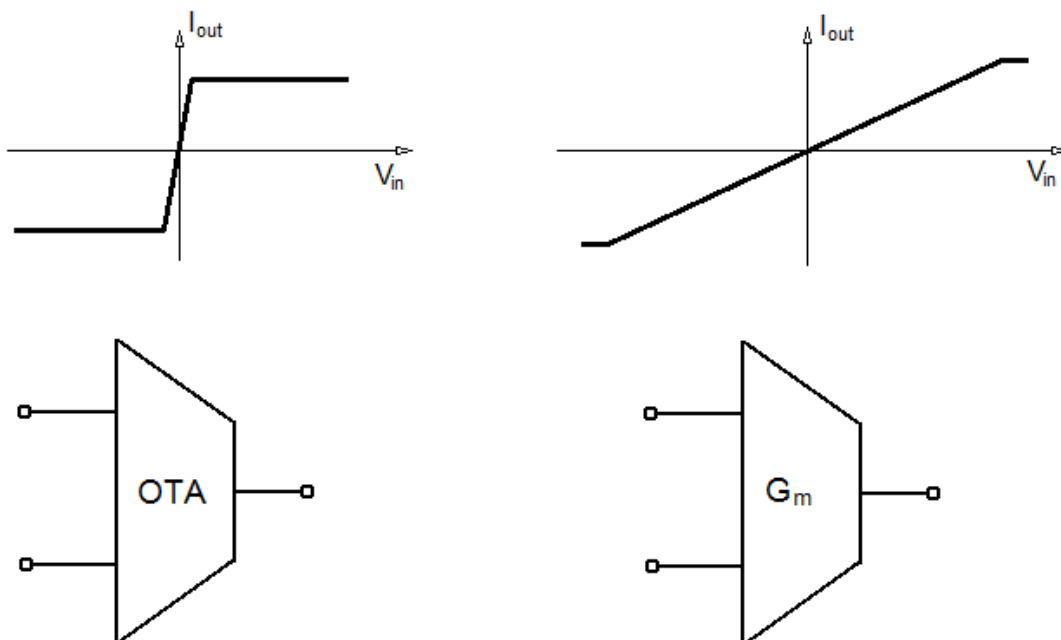


Figura 3.1. Corrientes de salida frente a tensiones de entrada y símbolos para un OTA y un transconductor

La principal ventaja de un transconductor frente a un amplificador operacional es que su comportamiento ya es lineal en lazo abierto, sin necesidad de ningún tipo de

realimentación, mientras que el AO la necesita para poder dar una respuesta lineal. Esto implica que es necesario el uso de realimentación negativa en el amplificador operacional, lo cual causa un decremento importante del ancho de banda.

Puede observarse que la respuesta de los dos dispositivos es bastante diferente, lo que hace que sus aplicaciones también difieran entre sí. Empezando por los OTAs, la aplicación más simple y que ya hemos comentado es utilizarlo seguido de un buffer de manera que se implemente un amplificador operacional, consiguiendo una alta ganancia en tensión así como una baja impedancia de salida. Otras posibles aplicaciones de un OTA son los circuitos de capacidades conmutadas o los ADC (Analog-Digital Converters).

Por otro lado, la aplicación más importante de los transconductores es el diseño de filtros tiempo-continuos, entre los cuales se encuentran los filtros G_m -C. En uno de los capítulos siguientes analizaremos uno de estos filtros y el impacto de las técnicas de reset en sus transistores QFG. También es posible aplicar estos bloques transconductores en multiplicadores analógicos o amplificadores de ganancia variable (los cuales también analizaremos más adelante).

3.1.2.- Diseños básicos

Cuando se trata de diseñar un OTA o un transconductor, debemos tener en cuenta sus dos objetivos principales: generar la conversión tensión-corriente y llevar esta corriente que se ha generado hasta la salida del dispositivo.

La implementación más sencilla de un OTA es un par diferencial como el que muestra la siguiente figura:

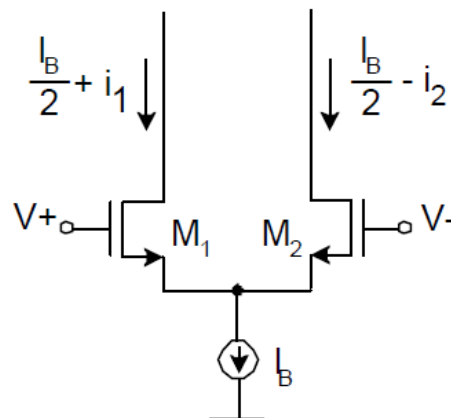


Figura 3.2. OTA básico

Es importante que M1 y M2 sean transistores iguales, de manera que sus g_m tendrán el mismo valor ($g_{m1}=g_{m2}=G_m$) lo que lleva a que la relación entre la tensión de entrada y la corriente de salida esté dada por la siguiente expresión:

$$i_{out} = i_1 + i_2 \approx G_m \cdot (V_+ - V_-) = G_m \cdot V_{in} \quad (3.4)$$

Si nos fijamos en la salida de corriente correspondiente al OTA mostrada en la figura 3.1, nos damos cuenta de que este comportamiento es válido solamente en pequeña señal; cuando la amplitud de la tensión de entrada empiece a aumentar, el modelo en pequeña señal dejará de ser correcto, de manera que la linealidad irá cayendo, hasta que la corriente de salida se saturará al valor absoluto de corriente de polarización.

Por tanto, el circuito OTA básico presenta mucha ganancia pero muy poco rango de entrada, lo cual no es nada adecuado para diversas aplicaciones como podría ser el filtrado tiempo-continuo. Por ello, en muchas ocasiones será necesario el uso de técnicas de linealización que hagan que la zona de operación lineal sea más ancha a costa de perder ganancia. El método más común de linealización consiste en introducir

un elemento resistivo entre los dos terminales de fuente de los transistores que forman el par diferencial del OTA de manera que la corriente de salida será proporcional a la que fluye por dicha resistencia.

Este método es conocido como *degeneración de fuente* ya que disminuye la ganancia, y el transconductor que se obtiene al linealizar el OTA con esta técnica puede verse en la siguiente figura:

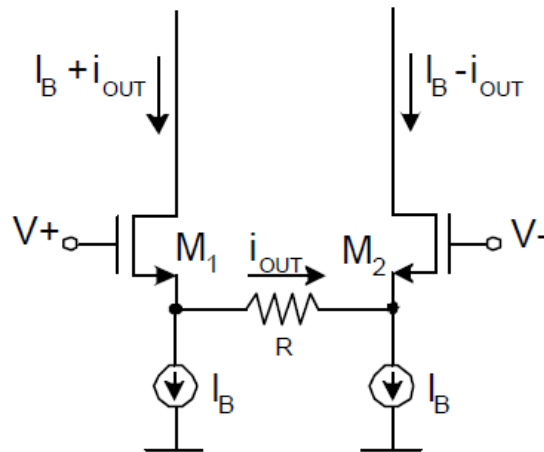


Figura 3.2. OTA linealizado con degeneración de fuente

Suponiendo nuevamente que los transistores que forman el par diferencial son iguales, la corriente diferencial de salida será igual al doble de la corriente que atraviesa la resistencia. Así, la relación entre tensión de entrada y corriente de salida es la siguiente:

$$i_{od} = 2 \cdot i_{out} \approx 2 \cdot \frac{(V_+ - V_-)}{R} = 2 \cdot \frac{V_{in}}{R} \quad (3.5)$$

$$G_m = \frac{2}{R} \quad (3.6)$$

Como ya hemos visto en la figura 3.1 la respuesta de salida de este tipo de circuitos es más suavizada que el caso de los OTA convencionales.

3.2.- Diseño del bloque transconductor

3.2.1.- Bases de diseño

Los circuitos que van a ser estudiados en este proyecto requieren bajo consumo y gran ancho de banda, por lo que el diseño de los bloques transconductores que los van a formar es esencial para el correcto funcionamiento de los mismos. Las especificaciones antes mencionadas requieren que los transconductores que vayamos a utilizar presenten una mayor linealidad.

Algunas de las posibles técnicas para llevar esto a cabo se basan en la cancelación de los términos no-lineales, por lo que será necesario disponer de transistores MOS prácticamente idénticos. El problema de estas técnicas es que son muy sensibles a los efectos de segundo orden que afectan a los transistores.

Con la intención de disminuir esa sensibilidad a los desajustes entre transistores, la tendencia actual consiste en retroceder hacia técnicas clásicas con las que se alcanzaban altos valores de linealidad. Estas técnicas se basaban en la implementación del transconductor mediante realimentación y resistencias pasivas, para poder obtener una conversión tensión-corriente muy lineal. Esto implicaba que los transconductores de los circuitos resultantes constaran de circuitos activos de alta ganancia, lazos de realimentación y componentes pasivos. Por lo que en el caso de implementar un filtro, éste podría verse como un híbrido entre un filtro G_m -C y un filtro RC.

En la siguiente figura podemos observar un integrador G_m -C diseñado mediante la técnica recién expuesta para la implementación de un filtro G_m -C. De hecho, un filtro paso bajo de primer orden no es más que un integrador con pérdidas, luego bastaría con añadir dichas pérdidas mediante una resistencia a la salida para obtener uno:

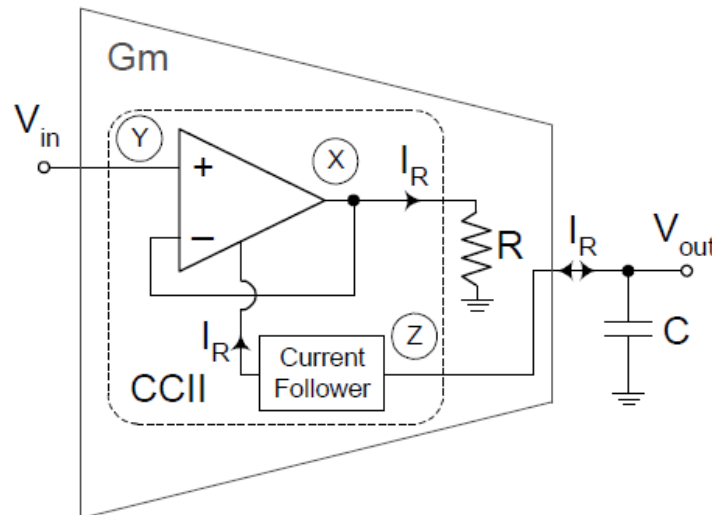


Figura 3.4. Integrador G_m -C altamente lineal

La figura muestra que la topología no es exactamente en lazo abierto, y su funcionamiento es similar al utilizado en los circuitos activos RC: en primer lugar se da una conversión lineal V-I mediante resistencias pasivas y amplificadores retroalimentados y a continuación la corriente de la resistencia se traslada al condensador que integra la salida.

Si analizamos bloque a bloque la figura anterior, podemos observar que inicialmente se ha utilizado un amplificador realimentado para implementar un seguidor de tensión, de manera que la tensión del terminal Y sea llevada al terminal X. Así, la corriente que fluirá a través de la resistencia será:

$$I_R = V_{in}/R \quad (3.7)$$

Normalmente, la corriente que se obtiene tras la conversión está disponible en un nodo de salida de alta impedancia. Sin embargo, para conseguir un mayor rango de tensiones de salida e impedancia de salida adicional, utilizamos un seguidor de corriente tras la conversión, que conduce la corriente obtenida hasta el condensador integrador. Así, este seguidor de corriente mide la corriente en su entrada de baja impedancia (X) y la lleva hasta su salida de alta impedancia (Z).

La unión del seguidor de tensión junto con el seguidor de corriente forman una estructura que toma el nombre de *Convector de corriente de segunda generación* (*Second-generation current conveyor*) o CCII, un circuito que está compuesto por tres

terminales X, Y y Z. Su funcionamiento puede representarse mediante la siguiente matriz:

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix}$$

Siendo I_X , I_Y , I_Z , V_X , V_Y , V_Z las corrientes y tensiones en sus tres terminales.

Así, podemos decir que el transconductor que forma parte del integrador Gm-C anterior no es más que un CCII seguido de una resistencia para realizar la conversión V-I. El uso de este transconductor plantea una serie de ventajas respecto a otras alternativas comúnmente usadas como el amplificador. Para empezar, el uso de realimentación local de ganancia unidad, en lugar de realimentación alrededor de todo el amplificador permite obtener valores de ancho de banda más altos. Además, el impacto negativo que tiene la sintonía continua en la linealidad es menor al usar este tipo de circuitos activos. Esto se debe a que en los filtros activos en los que se usan amplificadores, es necesario sustituir la resistencia pasiva que realizaba la conversión V-I por un transistor operando en triodo para implementar la sintonía continua. Esto provoca una reducción de la linealidad y una limitación del rango dinámico en caso de tener tensiones de alimentación bajas. Sin embargo, en los filtros Gm-C, como el sensado de la corriente que se ha obtenido en el seguidor se realiza en un nodo de alta impedancia, ésta puede escalar sin problemas sin afectar a la conversión V-I que tiene lugar en la resistencia pasiva, permitiendo así obtener una sintonía continua ideal.

3.2.2.- Diseño de Transconductores de linealidad alta

Basándonos en el modelo mostrado en la figura 3.4 hay una gran variedad de implementaciones para obtener diferentes transconductores. Común a todas ellas es el uso de circuitos CCII en configuración diferencial, lo cual aumenta ligeramente el consumo de potencia pero por otro lado ayuda a rechazar la tensión de modo común y disminuye la distorsión de orden par. Todas ellas contarán también con resistencias pasivas responsables de realizar la conversión V-I. Los diferentes diseños presentarán

una mejor o peor linealidad en función de lo eficiente que sean las copias de tensión y corriente en los terminales X, Y y Z.

Veamos las diferentes configuraciones para diseño de transconductores a partir de circuitos CCII que hemos comentado en las líneas anteriores.

La primera de las configuraciones es un transconductor con alta resistencia de entrada, la cual puede verse en la siguiente figura:

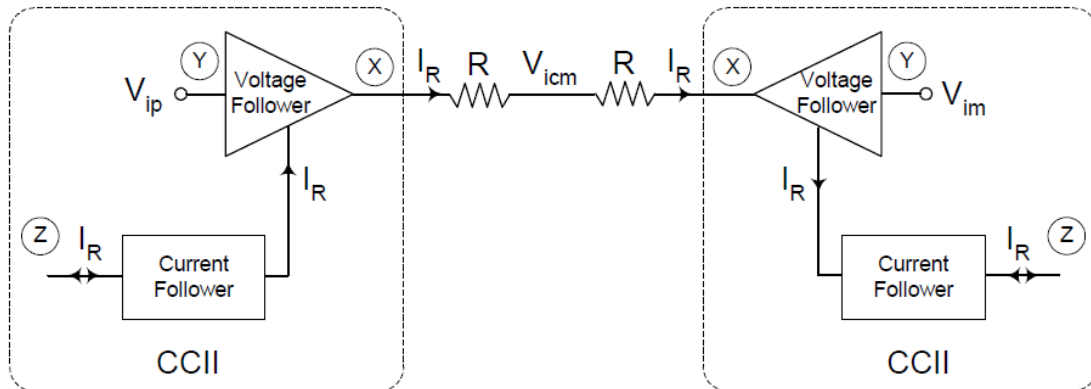


Figura 3.5. Primera configuración de transconductor

Como muestra el diagrama superior, los terminales X de ambos transconductores se conectan entre sí a través de las resistencias pasivas. Como $V_X = V_Y$ la tensión diferencial de entrada se establece entre dichos terminales, por lo que la conversión V-I tendrá lugar en ese punto. Una vez realizada la conversión, la corriente obtenida se trasladará a los terminales de salida (Z) de alta impedancia. La transconductancia que se obtiene en este caso es la siguiente:

$$G_m = \frac{I_{od}}{V_{id}} = \frac{2I_R}{(V_{ip} - V_{im})} = \frac{2I_R}{V_{id}} = \frac{2(V_{id}/2R)}{V_{id}} = \frac{1}{R} \quad (3.8)$$

Esta configuración presenta una resistencia de salida muy alta, lo cual es un aspecto a favor. Por otro lado, el rango de entrada no puede ser *rail-to-rail*, es decir, las amplitudes de las señales de entrada no pueden abarcar el rango desde V_{SS} hasta V_{DD} dado que los terminales X deben seguir a la tensión de entrada.

La segunda implementación de la que se va a hablar se muestra en la siguiente figura:

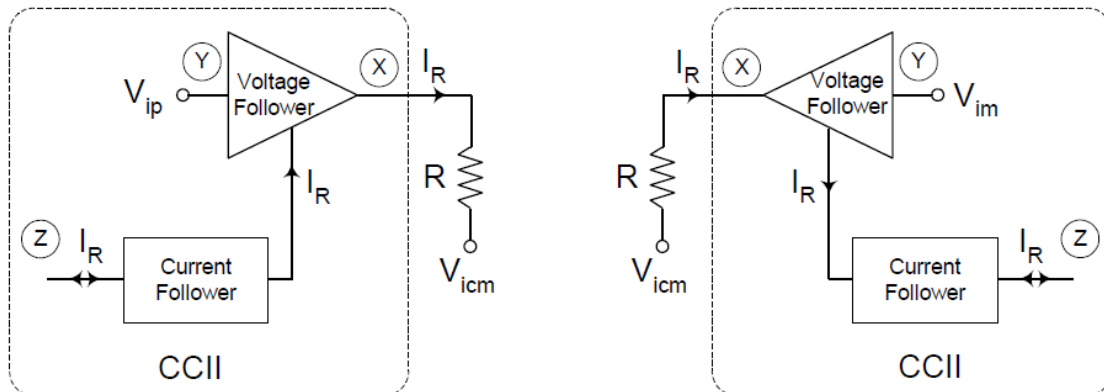


Figura 3.6. Configuración alternativa del circuito de la figura 3.5

La topología que toma el transconductor en este caso es pseudo-diferencial, ya que está formado por dos bloques idénticos pero de salida única.

Hay varios aspectos negativos a destacar sobre esta topología. Primeramente, presenta una gran sensibilidad a posibles desajustes entre los valores de las resistencias pasivas, ya que si no son exactamente iguales el funcionamiento no será el correcto. Asimismo, para poder obtener un buen valor de *Common-Mode Rejection Ratio (CMRR)*, la tensión de modo común de entrada debe ser sensada y aplicada mediante un buffer de tensión a un nodo de tierra de señal.

En tercer lugar, estudiamos la siguiente topología del transconductor:

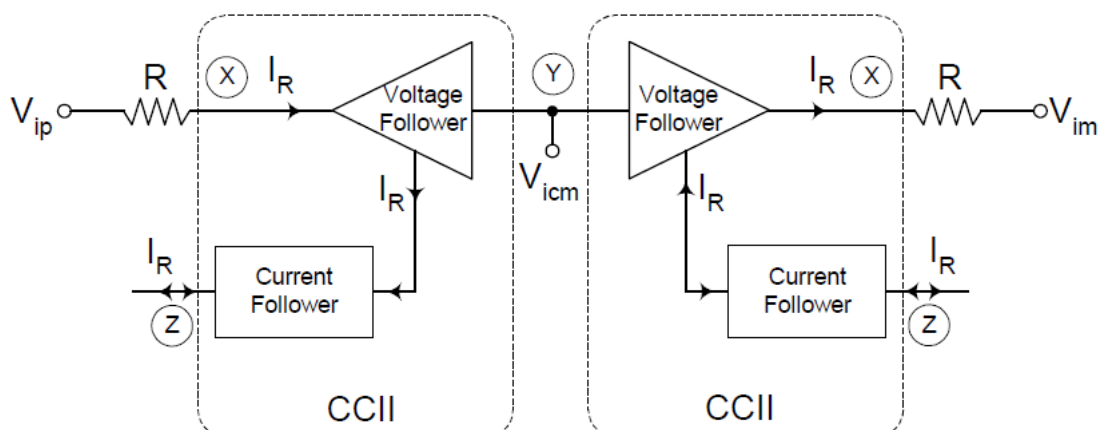


Figura 3.7. Configuración que permite señales de entrada *rail-to-rail*

La entrada de voltaje diferencial en este caso se aplica a dos resistencias iguales que a su vez están conectadas a los terminales X de los CCII. Como la tensión en modo común de entrada se conecta a los terminales Y y $V_X=V_Y$, los terminales X van a presentar también este valor de modo común de entrada, convirtiéndolos en nodos de tierra de señal; esto implica que la linealidad de la conversión V-I va a ser muy alta. Finalmente, la corriente que se obtiene de la conversión se lleva a la salida de alta impedancia. La transconductancia que se obtiene para este tercer modelo es la misma que mostramos en la ecuación para la segunda topología.

Al usar resistencias en los nodos de entrada, las señales aplicadas en ellos pueden ser *rail-to-rail*. Sin embargo, la resistencia de entrada en este caso es mucho menor que en los anteriores, y el circuito que entrega la señal de entrada al transconductor estará cargado resistivamente por las resistencias pasivas.

Por otro lado, esta configuración mantiene las desventajas de la topología anterior; la sensibilidad frente a desajustes en las resistencias pasivas es alta y la tensión de modo común de entrada necesita seguir siendo sensada.

Por último, otra implementación posible sería la siguiente:

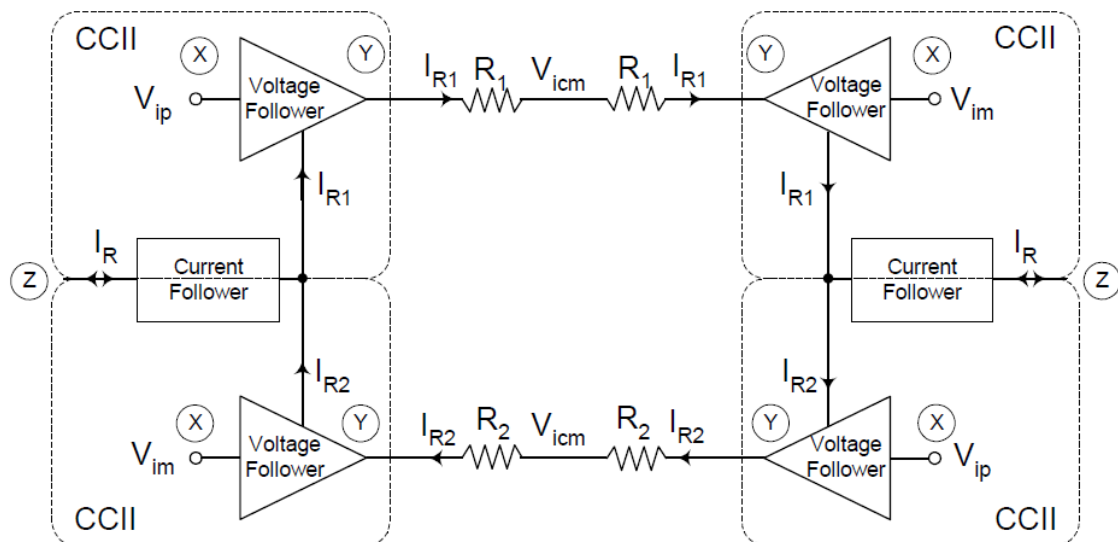


Figura 3.8. Transconductor creado a partir de dos transconductores en acoplo cruzado

Si nos fijamos en la figura superior, podemos comprobar que esta configuración está basada en el transconductor mostrado en la figura 3.5; se utilizan dos de los transconductores de dicha figura en acoplo cruzado, de manera que se busca un aumento de la linealidad. Puede observarse también que los seguidores de corriente a la salida se comparten entre el transconductor inferior y superior.

La transconductancia resultante para este último caso es la siguiente:

$$G_m = \frac{2(I_{R1} - I_{R2})}{(V_{ip} - V_{im})} = \frac{2(I_{R1} - I_{R2})}{V_{id}} = \frac{1}{R_1} - \frac{1}{R_2} \quad (3.9)$$

De acuerdo a esta ecuación, vamos a poder obtener valores de transconductancia pequeños sin necesidad de que las resistencias R_1 y R_2 sean muy altas.

3.2.3.- Elementos del Transconductor

El bloque transconductor que vamos a utilizar para la implementación de los diferentes circuitos a estudiar en este proyecto debe presentar una alta resistencia de entrada, por lo que su modelo seguirá al de la figura 3.5. Veamos entonces cómo implementar los diferentes bloques que forman el transconductor.

3.2.3.1.- Seguidor de tensión

Como hemos visto en el modelo del transconductor, el primer bloque del mismo consiste en un seguidor de tensión cuya función es copiar la tensión del terminal Y al terminal X, donde más adelante tendrá lugar la conversión V-I.

Los requisitos de este seguidor de tensión deben ser los siguientes:

- Alta impedancia de entrada
- Baja impedancia de salida
- Realizar una buena copia de la tensión entre sus terminales

Para cumplir con estas especificaciones se decide utilizar un super seguidor de fuente que responde al siguiente esquemático:

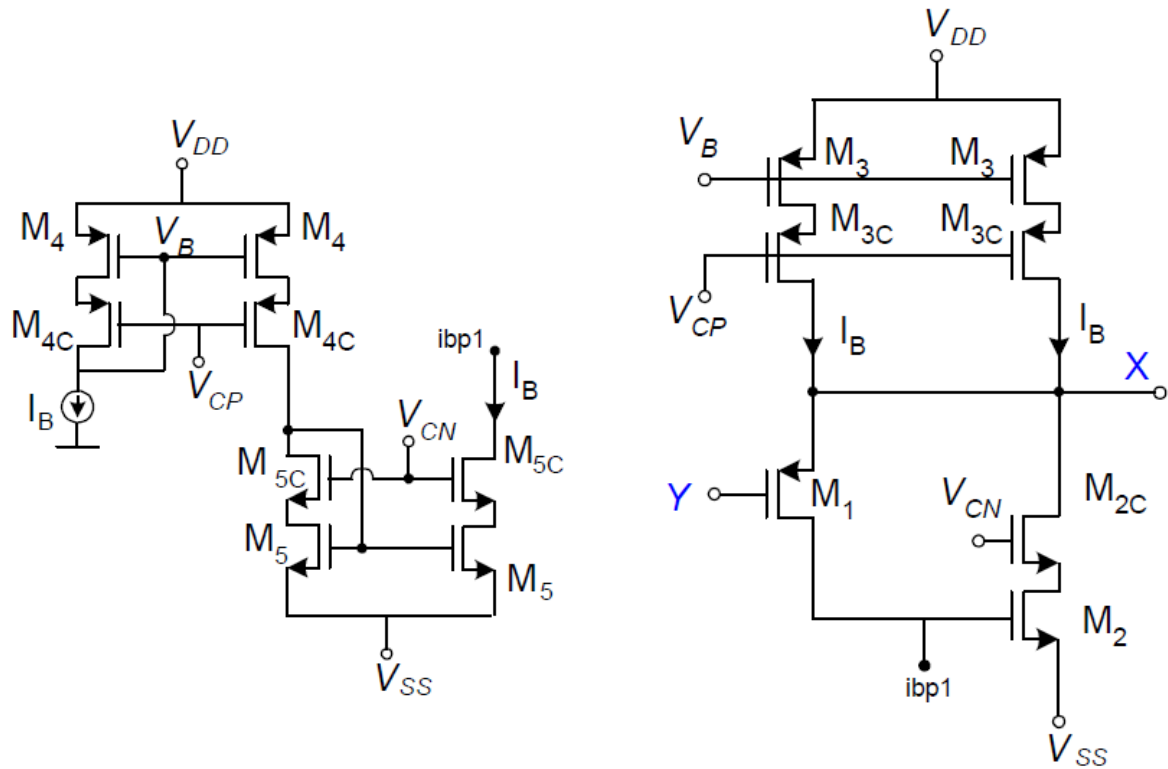


Figura 3.9. Esquemático del seguidor de tensión que formará el CCII

La tensión de entrada introducida en el terminal Y se trasladará al nodo X gracias a este buffer consistente en un transistor (M_1) en configuración de seguidor de fuente realimentado negativamente por M_2 . Esta realimentación va a reducir la impedancia del terminal X. Además, como se ha comentado antes, la precisión en la transferencia entre los terminales Y y X va a mejorar también. La razón de esta mejora es que esta topología permite que el transistor de entrada, M_1 , sea atravesado por una corriente constante e igual a I_B , por lo que ya no existirá una dependencia entre la corriente y la señal de entrada como ocurre en un seguidor de tensión convencional. Dado que I_B es constante, la tensión V_{GS} del transistor M_1 también lo será, lo cual genera la mejora en la transferencia de la que hemos hablado anteriormente. El uso de esta realimentación va a provocar una reducción del ancho de banda. Sin embargo esto no va a ser un problema ya que las aplicaciones en las que se utilizarán los circuitos formados por el bloque transconductor no precisan de valores de ancho de banda muy elevados.

3.2.3.2.- Seguidor de corriente

Siguiendo el esquema de la figura 3.5, el siguiente bloque a implementar en el CCII es un seguidor de corriente cuya función es sensar la corriente que se obtiene tras la conversión V-I en el nodo de baja impedancia X y trasladarla al nodo de salida Z. El uso de este buffer de corriente pretende aumentar la resistencia de salida y maximizar el rango de tensiones de salida posibles.

Se utilizará el siguiente esquema de seguidor de corriente:

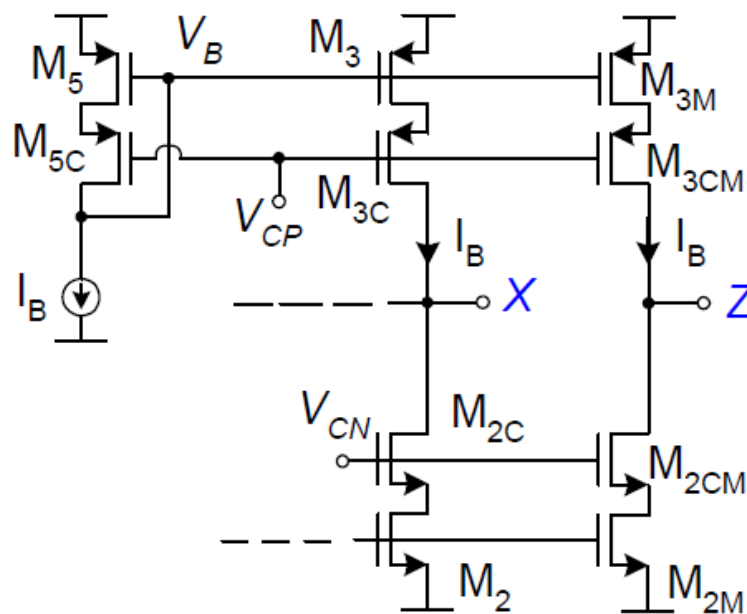


Figura 3.10. Esquemático del seguidor de corriente que formará el CCII

3.2.3.3.- Circuito CCII en clase A

Si unimos el seguidor de tensión y seguidor de corriente elegidos en un mismo circuito, obtenemos el CCII completo que se usará para la realización de los transconductores:

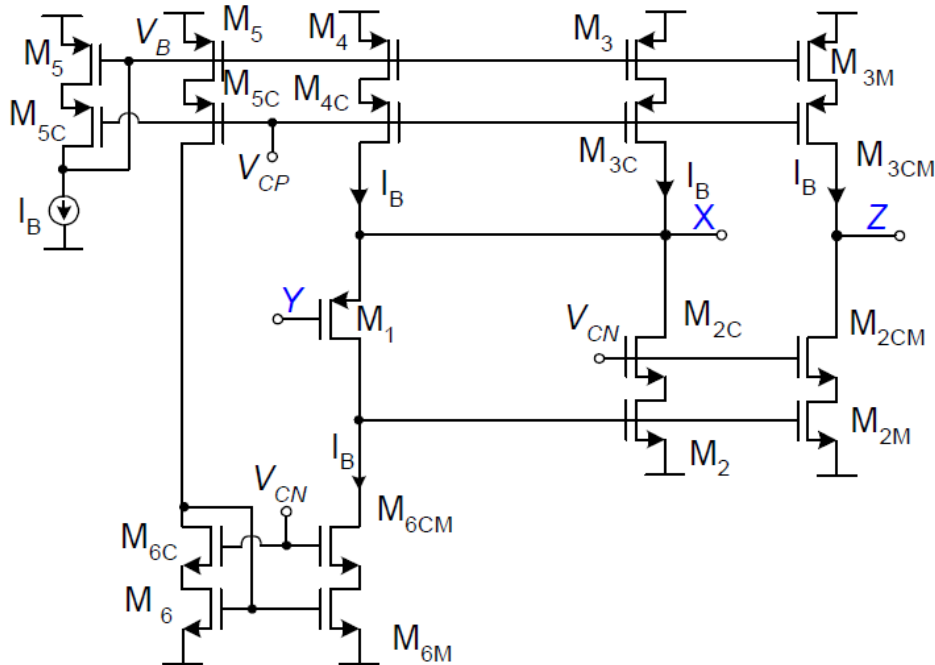


Figura 3.11. Esquemático del CCII en clase A

3.2.4.- Transconductor con topología en clase A

Una vez seleccionados el seguidor de tensión y corriente y haberlos unido para formar el circuito CCII, podemos implementar un transconductor en clase A. Para ello, vamos a utilizar el CCII de la figura 3.11 para crear un transconductor con la estructura de la figura 3.5; dos CCII con dos resistencias pasivas entre sus terminales X que serán las encargadas de realizar la conversión V-I. El transconductor resultante es el que muestra la siguiente figura:

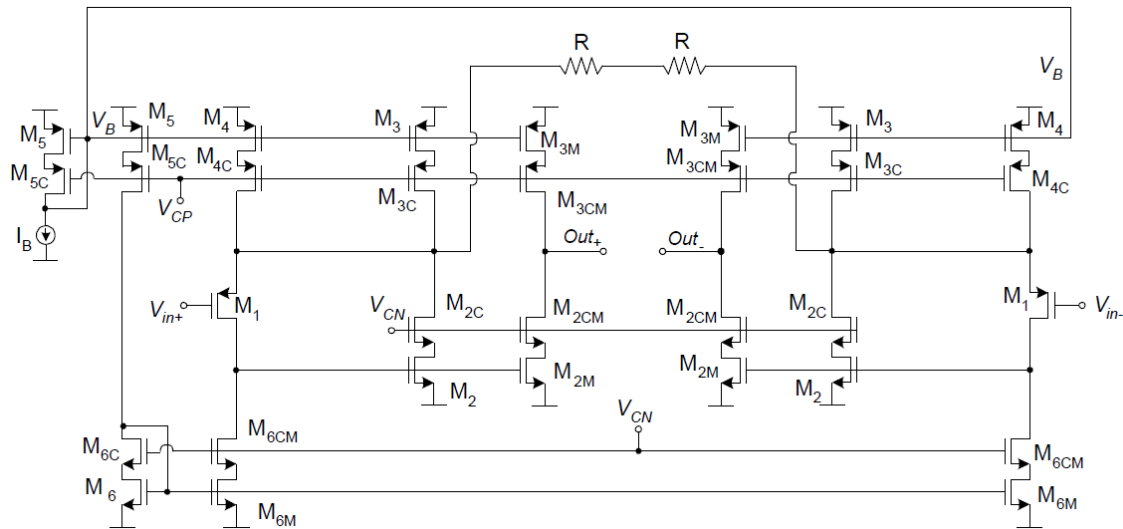


Figura 3.12. Esquemático del bloque transconductor en clase A

Podemos observar que el transconductor presenta una estructura simétrica, con entrada y salida diferenciales. Los circuitos CCII se diferencian claramente, con sus seguidores de tensión y corriente correspondientes, así como las dos resistencias pasivas que conectan ambos y donde se producirá la conversión V-I.

El hecho de que el transconductor sea clase A tiene un problema fundamental: a pesar de operar bien en pequeña señal, no es una buena elección en condiciones de gran señal si uno de los objetivos es que el consumo de potencia no sea muy elevado. Esto se debe a que la corriente que entra al nodo X desde la rama M_3 - M_{3C} está limitada por la corriente de polarización I_B . Así, para obtener valores altos de corriente a la salida es necesaria la utilización de grandes corrientes de polarización, lo que implica que el consumo de potencia estático será alto también. Para arreglar este problema, se introduce la operación en clase AB del transconductor, de manera que se puedan obtener corrientes de salida mayores que I_B .

3.2.5.- Transconductor con topología en clase AB

La transformación del transconductor a clase AB va a realizarse haciendo que los CCII trabajen en clase AB, de manera que el bloque completo también lo haga al unirlos para formar la configuración de la figura 3.5.

Basta con una pequeña modificación en el CCII para obtener la topología en clase AB:

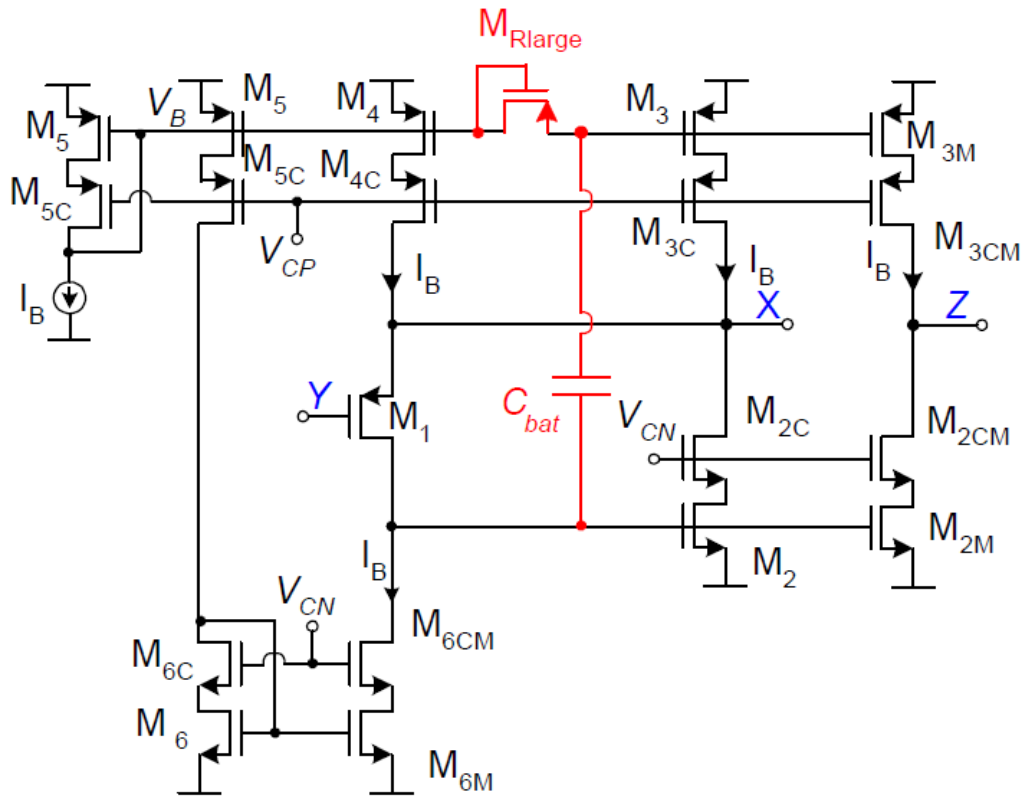


Figura 3.13. Esquemático del CCII en clase AB

Podemos ver que la operación en clase AB se consigue mediante el uso de las técnicas QFGT introducidas en el capítulo dedicado a las técnicas de diseño. En el CCII original se han introducido un condensador y un transistor conectado en diodo trabajando en la región de corte, el cual implementará una gran resistencia.

La puerta del transistor M_3 es el terminal en común de estos dos nuevos componentes. Como este nodo está débilmente conectado en DC a la tensión de polarización V_B por medio de la resistencia de gran valor R_{LARGE} , se considera un nodo cuasi-flotante, por lo que el transistor M_3 se verá como un *transistor de puerta cuasi-flotante (QFGT)*.

El realizar estas modificaciones en los CCII implica que el transconductor final también presentará una topología diferente a la del funcionamiento en clase A. El esquemático del mismo lo podemos ver en la siguiente figura:

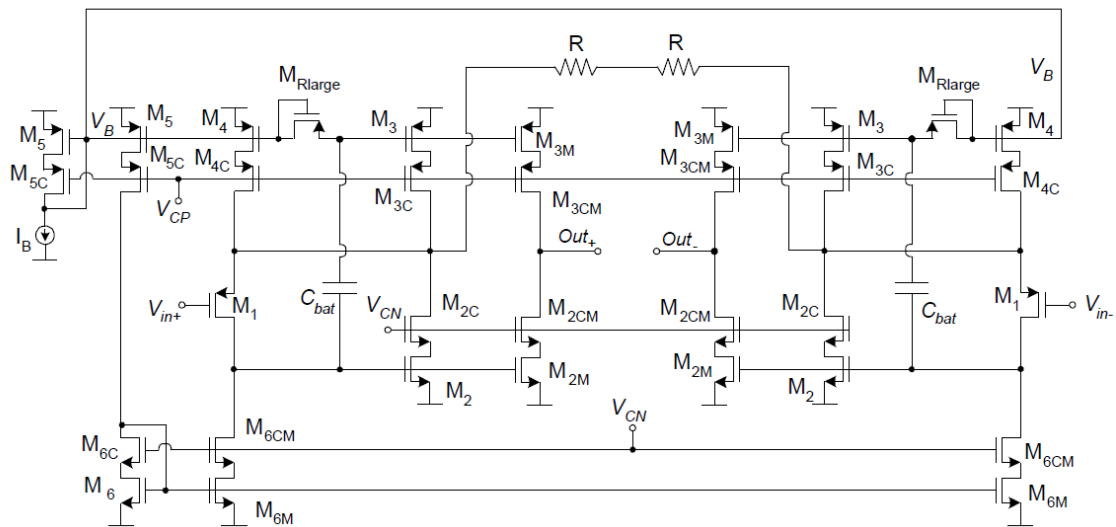


Figura 3.14. Esquemático del bloque transconductor en clase AB

La operación en clase AB permite que el circuito conduzca corrientes más altas que la corriente de polarización, pero sin aumentar la misma, lo que implica que el consumo de potencia no será mayor. Además, como ya comentamos en el capítulo anterior la operación en clase AB mejorará el *Slew-Rate* del transconductor.

3.2.5.1- Dimensionamiento y simulaciones

En la siguiente tabla se muestran las dimensiones de cada uno de los transistores que se utilizan en el transconductor:

Dimensiones de los transistores del transconductor			
Transistores	W	L	m
M_1, M_{6C}, M_{6CM}	25.05u	1.05u	4
M_3, M_{3M}, M_4, M_5	25.05u	0.6u	4
M_2, M_{2M}	15u	1.05u	4
M_{2C}, M_{2CM}	15u	0.6u	4
$M_{3C}, M_{3CM}, M_{4C}, M_{5C}$	49.95u	0.6u	4
M_6, M_{6M}	25.05u	3u	4
M_{Rlarge}	1.5u	0.6u	1

Una vez dimensionados todos los transistores que conforman el transconductor, podemos realizar una simulación para comprobar su correcto funcionamiento y ver cómo afecta el uso de fuentes de alimentación reales en lugar de ideales en las estructuras QFGT del mismo. Los parámetros de simulación son los siguientes:

Parámetros de simulación	
Transconductor	
I_B	2.9 μ A
V_{CM}	1.65V
V_{IN}	1V
V_{DD}	1.65V
V_{SS}	-1.65V
V_{cn}	-550mV
V_{cp}	550mV
R_{pas}	18K Ω

La respuesta en frecuencia para el transconductor puede observarse en la siguiente figura:

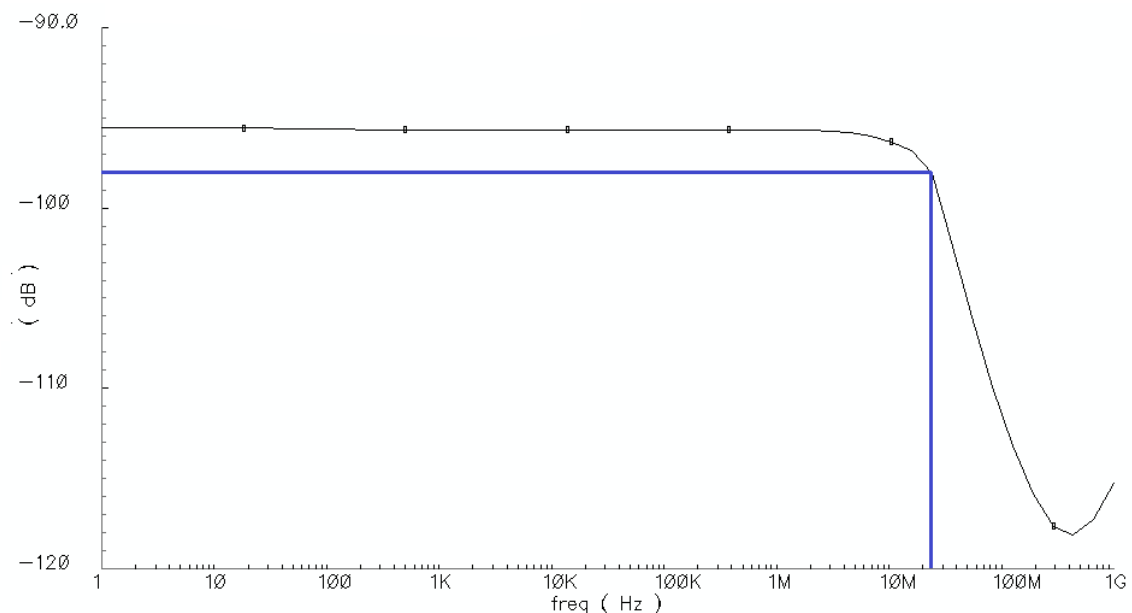


Figura 3.15. Respuesta en frecuencia para el transconductor clase AB

La ganancia del transconductor aparentemente presenta valores muy bajos. Sin embargo, esto no es así, ya que se está representando la transconductancia, con una

salida en corriente del orden de los microamperios y una entrada en voltaje del orden de los voltios. El ancho de banda que presenta el transconductor es de **24 MHz**.

Es interesante realizar una simulación transitoria para comprobar si el transconductor sufre los largos efectos transitorios que hemos anticipado por el uso de fuentes no ideales en conjunto con los QFG. En la siguiente figura puede observarse la salida en corriente del circuito:

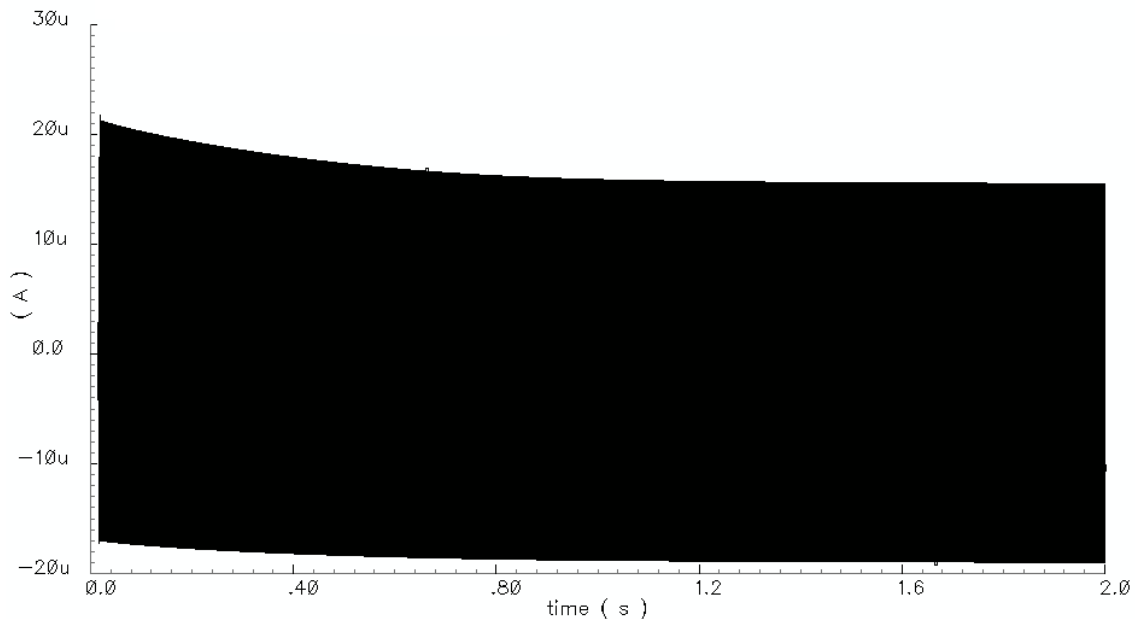


Figura 3.16. Respuesta temporal del transconductor clase AB

Es importante notar que la simulación presenta una duración de dos segundos, lo cual es un valor muy alto para un circuito de estas características. Podemos observar que la forma de onda presenta una transformación a lo largo de este tiempo, que hace que la diferencia de amplitudes entre máximos y mínimos disminuya gradualmente hasta desaparecer completamente. Como ya anticipamos, el problema de los periodos transitorios largos está más que presente en el transconductor sin ninguna etapa de reset.

A pesar del problema del periodo transitorio, el transconductor funciona bien en términos de corriente de salida y linealidad. Los resultados concretos son:

- THD = -72,23 dB
- Corriente de pico de salida= 18.3μA

Teniendo en cuenta que la corriente de polarización que estamos usando es de $2.9\mu A$, se confirma la operación en clase AB ya que la corriente de pico de salida es mucho mayor que la corriente de polarización.

Hay que realizar un último apunte; si observamos la forma de onda temporal de salida del transconductor, podemos ver que aparece un nivel en DC de aproximadamente $2.5\mu\text{A}$. Esto es debido a que el modo común del transconductor no se controla correctamente, por lo que hará falta añadir un circuito de control de modo común (CMFB) y cuyo funcionamiento se explicará en el capítulo siguiente dedicado al diseño del filtro de primer orden.

3.2.6.- Transconductor con topología en clase AB y P.O.R.

Una vez que hemos analizado el funcionamiento del transconductor sin etapas de reset y fuentes no-ideales y comprobado los problemas que aparecen, el siguiente paso es utilizar las técnicas analizadas en el capítulo anterior para tratar de mejorar dichos problemas. Para ello, los dos transistores que implementan las resistencias de gran valor (M_{Rlarge}) en los CCII dejarán de tener su puerta cortocircuitada a su fuente, de manera que ahora la puerta estará conectada al circuito de Power-On Reset que introdujimos en el capítulo anterior, como muestra la figura:

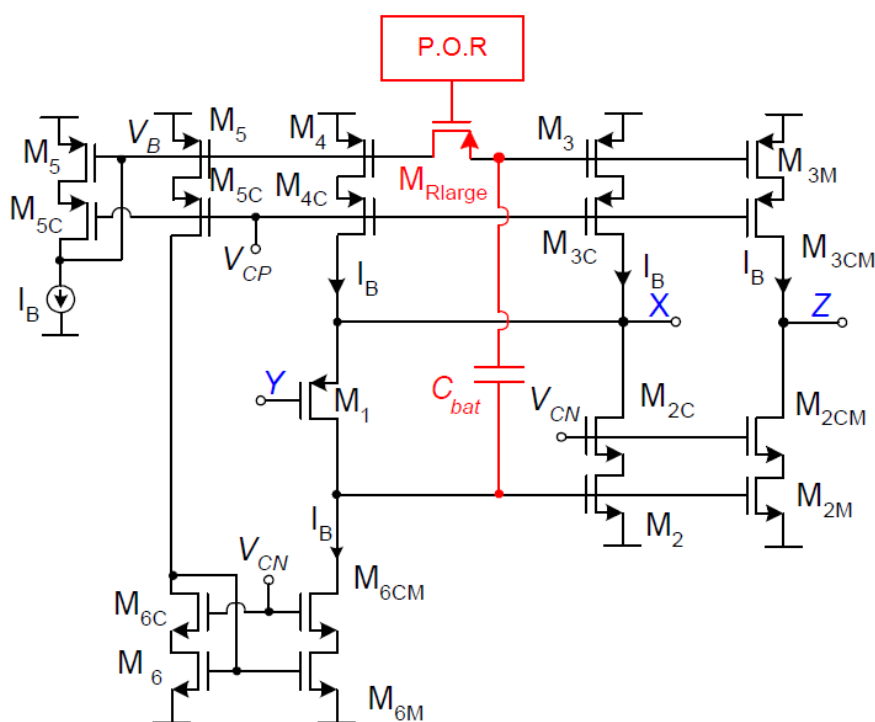


Figura 3.17. CCII modificado con P.O.R.

De esta manera, el transconductor completo presenta el siguiente esquemático:

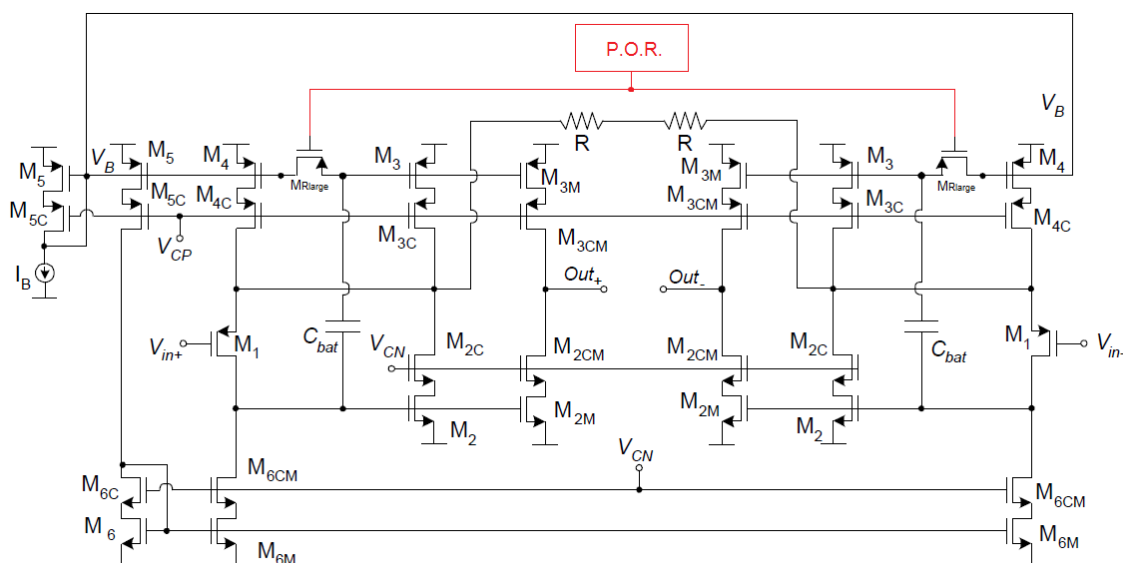


Figura 3.18. Transconductor completo con P.O.R.

3.2.6.1.- Dimensionamiento y simulaciones

Las dimensiones de este transconductor son las mismas que usamos en el caso de no tener ninguna etapa de reset.

Dimensiones de los transistores del transconductor con P.O.R.

Transistores	W	L	m
M_1, M_{6C}, M_{6CM}	25.05μ	1.05μ	4
M_3, M_{3M}, M_4, M_5	25.05μ	0.6μ	4
M_2, M_{2M}	15μ	1.05μ	4
M_{2C}, M_{2CM}	15μ	0.6μ	4
$M_{3C}, M_{3CM}, M_{4C}, M_{5C}$	49.95μ	0.6μ	4
M_6, M_{6M}	25.05μ	3μ	4
M_{Rlarge}	1.5μ	0.6μ	1

Realizamos una simulación con los mismos parámetros del primer caso y la respuesta en frecuencia que obtenemos para este caso se muestra en la siguiente figura:

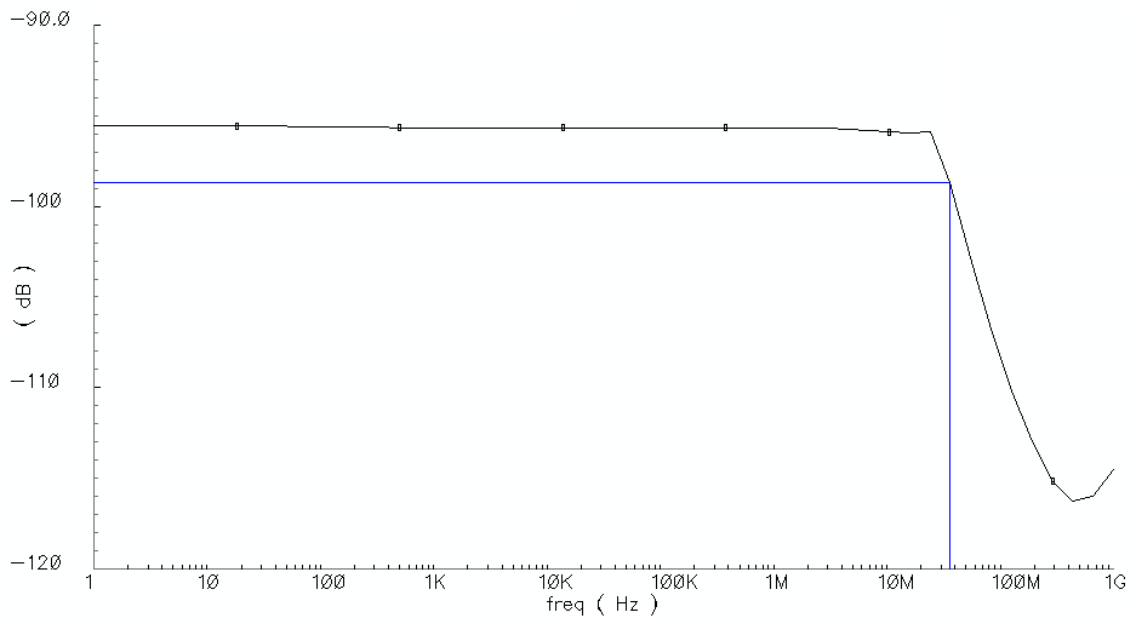


Figura 3.19. Respuesta en frecuencia para el transconductor con P.O.R.

Sigue presente el comportamiento paso bajo con ganancias bajas debidas a la conversión tensión-corriente, y el ancho de banda en este caso asciende hasta los **36 MHz**.

En cuanto a la respuesta temporal, la siguiente figura muestra la salida del transconductor:

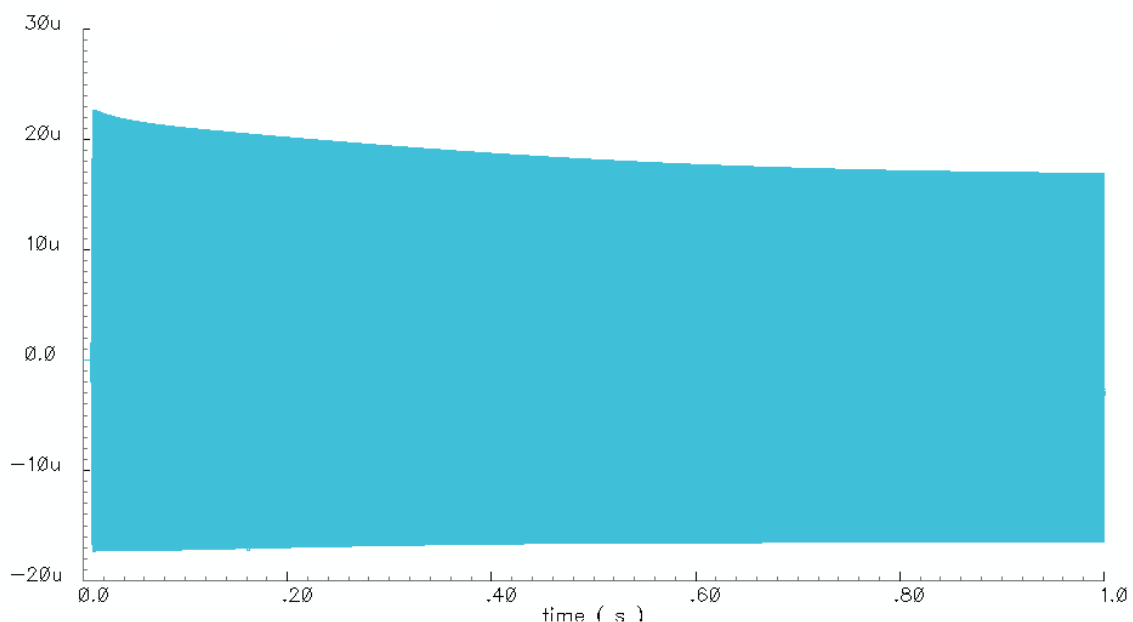


Figura 3.20. Respuesta temporal del transconductor con P.O.R.

Podemos observar que al igual que en el caso de no usar ninguna técnica de reset, la señal presenta un periodo transitorio bastante largo, tras el cual la corriente de salida

se estabiliza. A pesar de mantener el problema del transitorio, el transconductor con esta etapa de reset funciona mejor que en el caso anterior en términos de linealidad, obteniendo esta vez un valor de **THD=-66.24dB**. El valor de la corriente de pico de salida se mantiene en los **18,3μA**.

3.2.7.- Transconductor con topología en clase AB en inversión débil

La última modificación que vamos a realizar en el transconductor es hacer que los transistores QFG de ambos CCII trabajen en inversión débil, con el propósito de obtener mejores resultados que en los dos casos anteriores. Para esto, dichos transistores deben ser modificados de la manera que vimos en el capítulo anterior, por lo que cada uno de los CCII que conforman el transconductor tendrá la forma que muestra la siguiente figura:

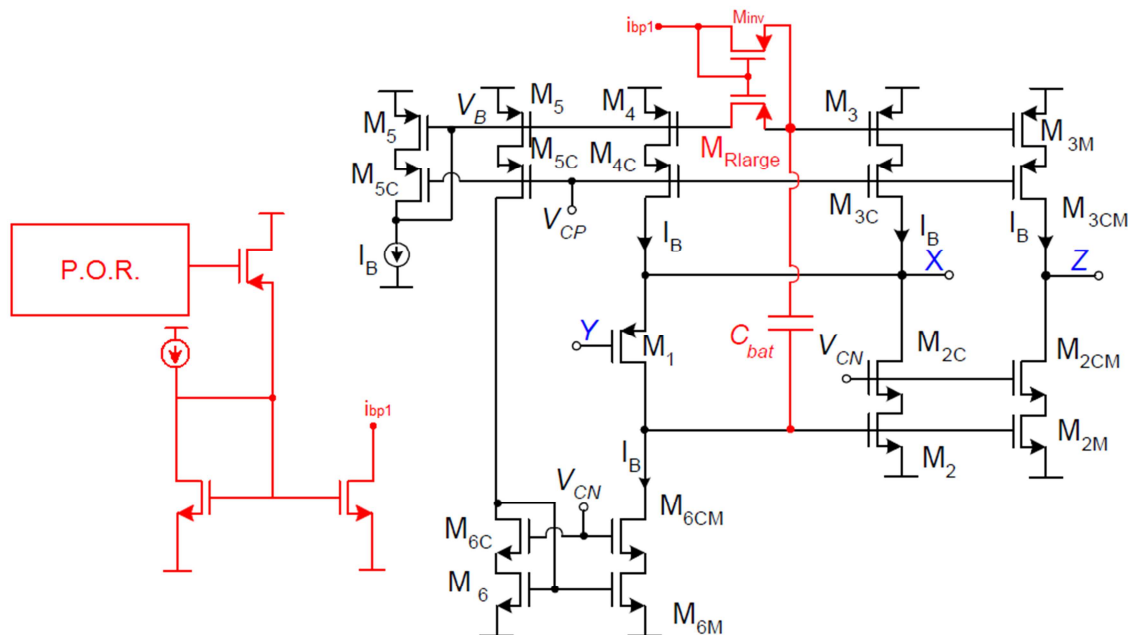


Figura 3.21. CCII modificado para inversión débil.

Como ya comentamos en la sección dedicada a la inversión débil, cada uno de los transistores que controlan el voltaje de puerta de los M_{Rlarge} deben tener su propia corriente i_{bp1} . Por ello, en el transconductor completo, el espejo de corriente deberá tener una rama adicional para poder alimentar el transistor del CCII de la derecha. Así, el transconductor con las modificaciones finales puede observarse en la siguiente figura:

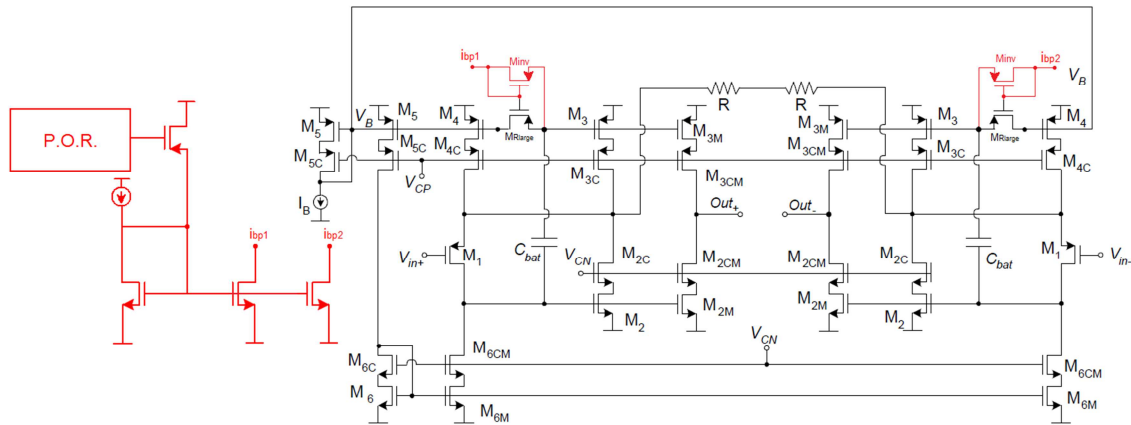


Figura 3.22. Transconductor completo en inversión débil

3.2.7.1.- Dimensionamiento y simulaciones

Las dimensiones de este último transconductor siguen manteniéndose respecto de las dos configuraciones anteriores solamente que esta vez habrá un nuevo transistor conectado a los M_{Rlarge} , M_{inv} :

Dimensiones de los transistores del transconductor en inversión débil

Transistores	W	L	m
M_1, M_{6C}, M_{6CM}	25.05μ	1.05μ	4
M_3, M_{3M}, M_4, M_5	25.05μ	0.6μ	4
M_2, M_{2M}	15μ	1.05μ	4
M_{2C}, M_{2CM}	15μ	0.6μ	4
$M_{3C}, M_{3CM}, M_{4C}, M_{5C}$	49.95μ	0.6μ	4
M_6, M_{6M}	25.05μ	3μ	4
M_{Rlarge}, M_{inv}	1.5μ	0.6μ	1

Una vez realizada la simulación, obtenemos la siguiente respuesta en frecuencia:

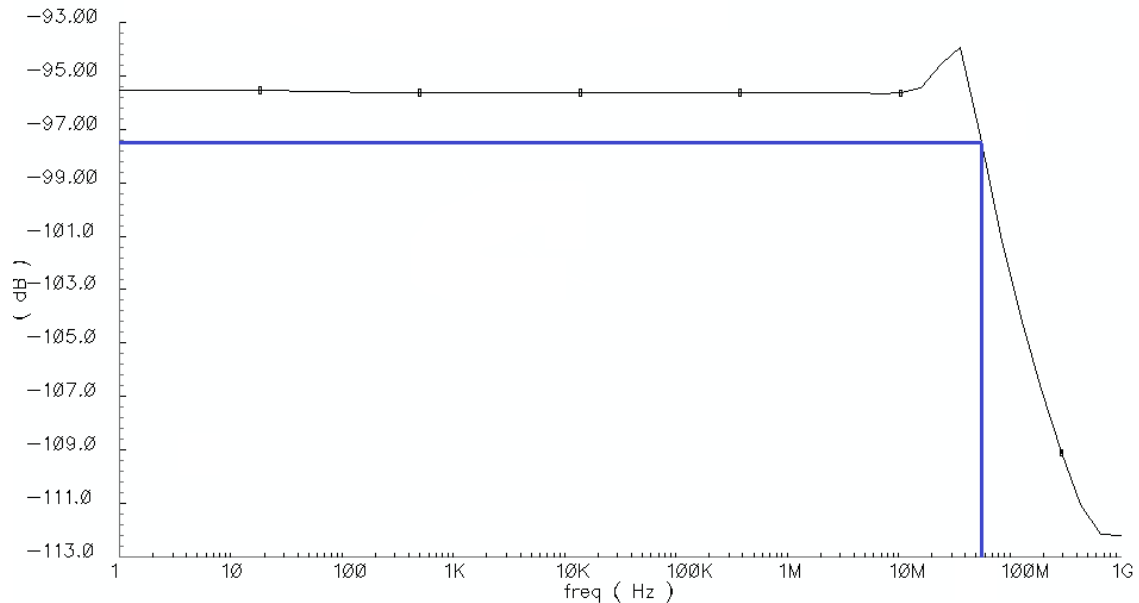


Figura 3.23. Respuesta en frecuencia para el transconductor en inversión débil

Puede verse que el ancho de banda en este último caso ha crecido hasta los **64,1 MHz**. Este gran aumento del ancho de banda está provocado por la inclusión del segundo transistor conectado a M_{Rlarge} . Este nuevo transistor añade una resistencia parásita al nodo al que está conectado el condensador original C_b , modificando la respuesta en frecuencia, aspecto que queda evidenciado por el pico que puede observarse en la figura superior, que a su vez genera el aumento del ancho de banda.

En la siguiente figura podemos observar la salida temporal de esta última configuración del transconductor:

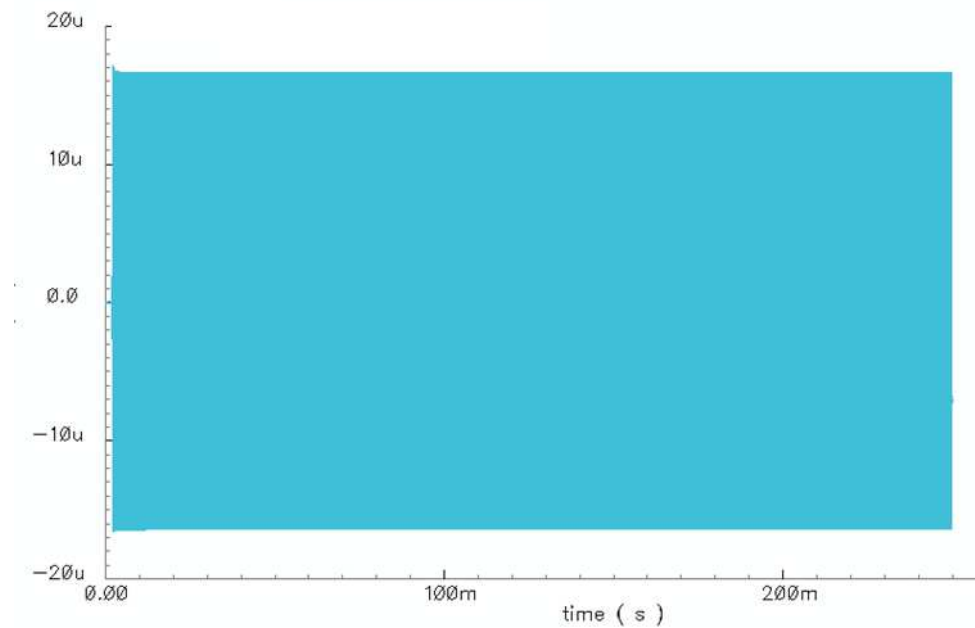


Figura 3.24. Respuesta temporal del transconductor en inversión débil

Podemos comprobar que esta última configuración por fin ha eliminado la descompensación en los valores de amplitud que aparecían en los instantes iniciales de las anteriores, de manera que en este caso la forma de onda se estabiliza rápidamente, por lo que los largos periodos transitorios que podían apreciarse en los dos casos estudiados anteriormente se ha eliminado. Respecto a la linealidad de esta señal de salida, el valor que se obtiene para los parámetros de simulación antes mostrados es de **THD=-76,16 dB** y al igual que ocurría en los dos casos anteriores la corriente de pico de salida presenta un valor de **18,3μA**.

3.2.8.- Resumen de resultados

Una vez realizadas todas las simulaciones con cada una de las configuraciones propuestas vamos a presentar una tabla con los valores más importantes de cada una de ellas a modo de resumen:

	THD	Corriente de pico	Ancho de banda
Transconductor	-72,23 dB	18,3μA	24 MHz
Transconductor + POR	-66,24 dB	18,3μA	36 MHz
Transconductor en inversión débil	-76,16 dB	18,3μA	64,1 MHz

Podemos ver que el uso del circuito P.O.R. no mejora el funcionamiento del transconductor en términos de linealidad, pero sí en cuanto a ancho de banda. Esta degradación en el THD se debe a un ligero cambio en el punto de operación en DC provocado por la adición del circuito de Power-On Reset.

Por otro lado, la configuración en inversión débil además de eliminar el periodo transitorio de la forma de onda temporal, mejora aún más el valor de linealidad que se obtiene respecto a los otros dos casos.

Se han realizado además los cálculos de CMRR y PSRR para las tres configuraciones:

	CMRR	PSRR+	PSRR-
Transconductor	82 dB	40.9 dB	75.3 dB
Transconductor + POR	77.94 dB	37.04 dB	74.84 dB
Transconductor en inversión débil	71.8 dB	36.8 dB	51 dB

Podemos ver que estos parámetros no presentan ninguna mejora por el hecho de usar las técnicas de reset, de hecho, si solamente nos tuviéramos que fijar en estos valores sería más adecuado no utilizar técnicas de reset.

3.3.- Transconductor sintonizable

Dado que uno de los circuitos en los que vamos a analizar el impacto de las técnicas de reset es un filtro paso bajo sintonizable, debemos conseguir que el transconductor que se use como bloque principal para su implementación también lo sea.

Se ha decidido utilizar un transconductor cuya sintonía esté implementada mediante un divisor resistivo. El esquemático de dicho circuito puede observarse en la siguiente figura:

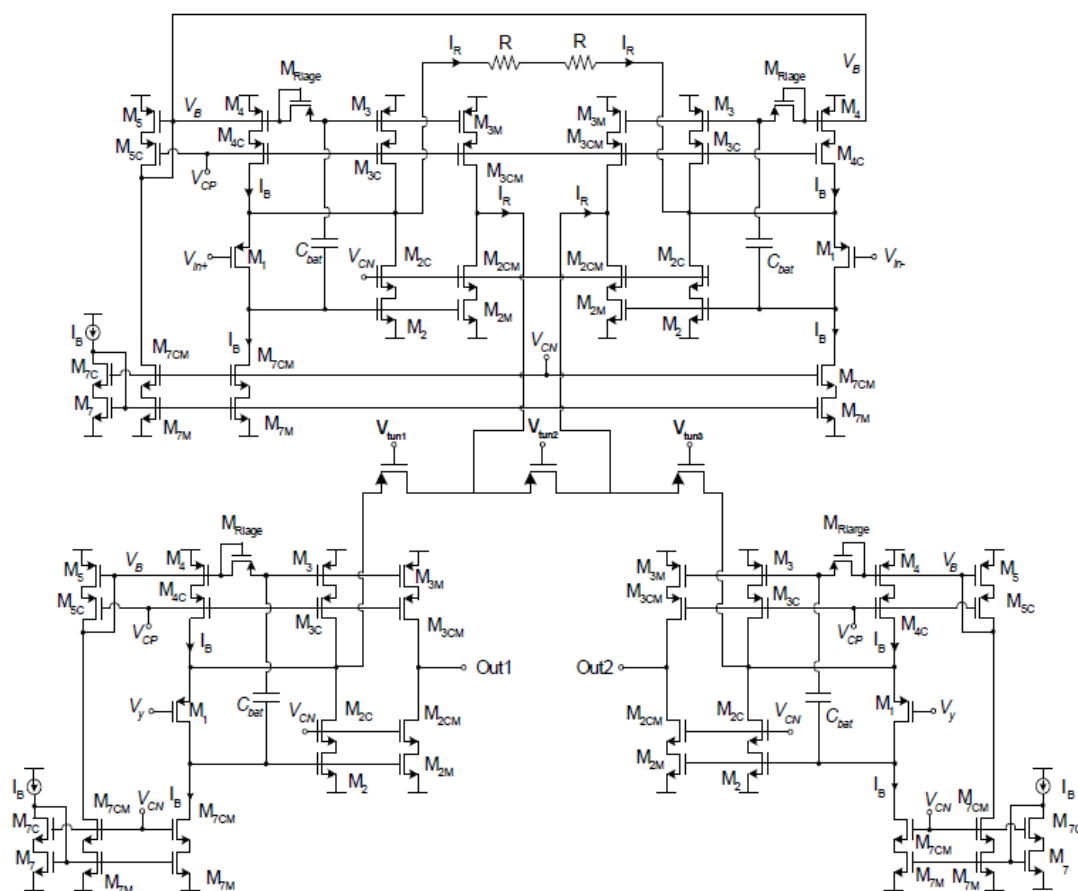


Figura 3.24. Esquemático del transconductor sintonizable

Como puede verse en la figura superior, este transconductor sintonizable está formado por un transconductor no-sintonizable, un divisor resistivo compuesto de tres transistores en triodo, los cuales se encargan de sintonizar la R controlando cuánta corriente dejan pasar a la salida, y por último dos buffers de corriente que proporcionan al circuito salidas de alta impedancia.

La sintonía se conseguirá variando la tensión de puerta de los tres transistores que conforman el divisor resistivo. Sin embargo, tras varias pruebas, se ha comprobado

que los mejores resultados se obtienen fijando los voltajes “Vtun1” y “Vtun3” a -1.65V y variando el voltaje en la puerta del segundo transistor, “Vtun2”.

Al igual que hemos hecho con el transconductor no-sintonizable, vamos a analizar cómo se comporta esta nueva implementación al usar fuentes de alimentación reales y la aplicación de las técnicas de reset para mejorar los posibles problemas que aparezcan.

3.3.1.- Transconductor sintonizable sin etapas de reset

Las dimensiones de los transistores que se van a utilizar en este transconductor se muestran en la siguiente tabla; solo mostramos las dimensiones de los transistores que forman los buffers ya que el transconductor no sintonizable mantiene los valores anteriores:

Dimensiones de los transistores del buffer			
Transistores	W	L	m
M_7, M_{7M}	25.05 μ	3 μ	4
$M_{7C}, M_{7CM}, M_5, M_4, M_3, M_{3M}, M_1$	25.05 μ	1.05 μ	4
$M_{5C}, M_{4C}, M_{3C}, M_{3CM}$	49.95 μ	0.6 μ	4
M_2, M_{2M}	15 μ	1.05 μ	4
M_{2C}, M_{2CM}	15 μ	0.6 μ	4
M_{Rlarge}	1.5 μ	0.6 μ	1

Utilizamos los siguientes parámetros de simulación:

Parámetros de simulación	
Transconductor sintonizable	
I_B	2.9 μ A
V_{CM}	1.65V
V_{IN}	500mV
V_{DD}	1.65V
V_{SS}	-1.65V
V_{tun1}	-1.65V
V_{tun2}	100mV
V_{tun3}	-1.65V
V_{cn}	-550mV
V_{cp}	550mV
R_{pas}	18K Ω

En estas condiciones podemos obtener la respuesta en frecuencia del transconductor, como se muestra en la siguiente figura:

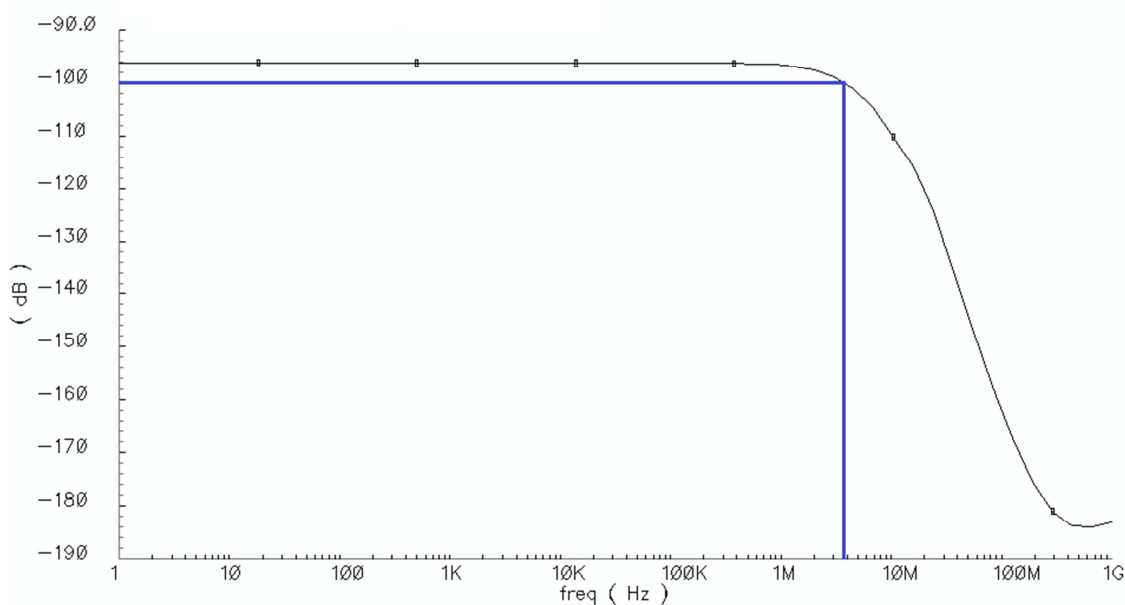


Figura 3.25. Respuesta en frecuencia para el transconductor sintonizable

Podemos ver que el comportamiento paso bajo se mantiene, dando lugar a un ancho de banda a -3dB de **3,5MHz**.

Lo más interesante de este transconductor sin embargo es ver que la sintonía funciona correctamente al variar el valor del voltaje “ V_{tun2} ”. Si realizamos un barrido de este parámetro entre -1.65V y 100mV obtenemos una respuesta en frecuencia como la siguiente:

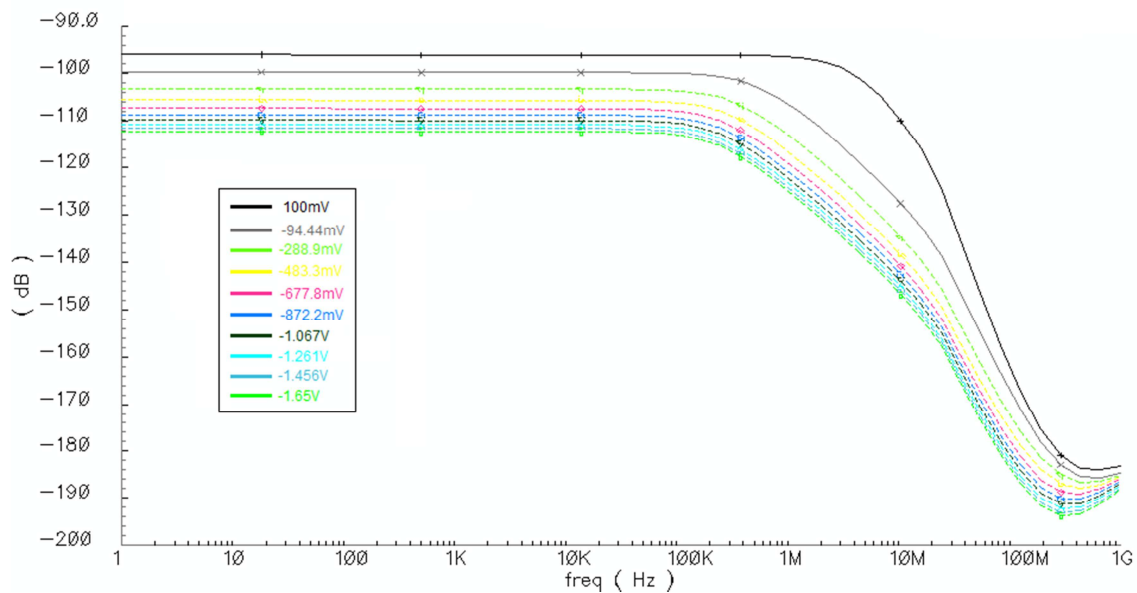


Figura 3.26. Sintonía del transductor sintonizable

Al igual que hicimos en el caso del transductor no-sintonizable, lo interesante es comprobar si el uso de fuentes reales tiene efectos negativos en la salida temporal del circuito. Para ello, se ha realizado una simulación de 500ms, la cual podemos observar en la siguiente figura:

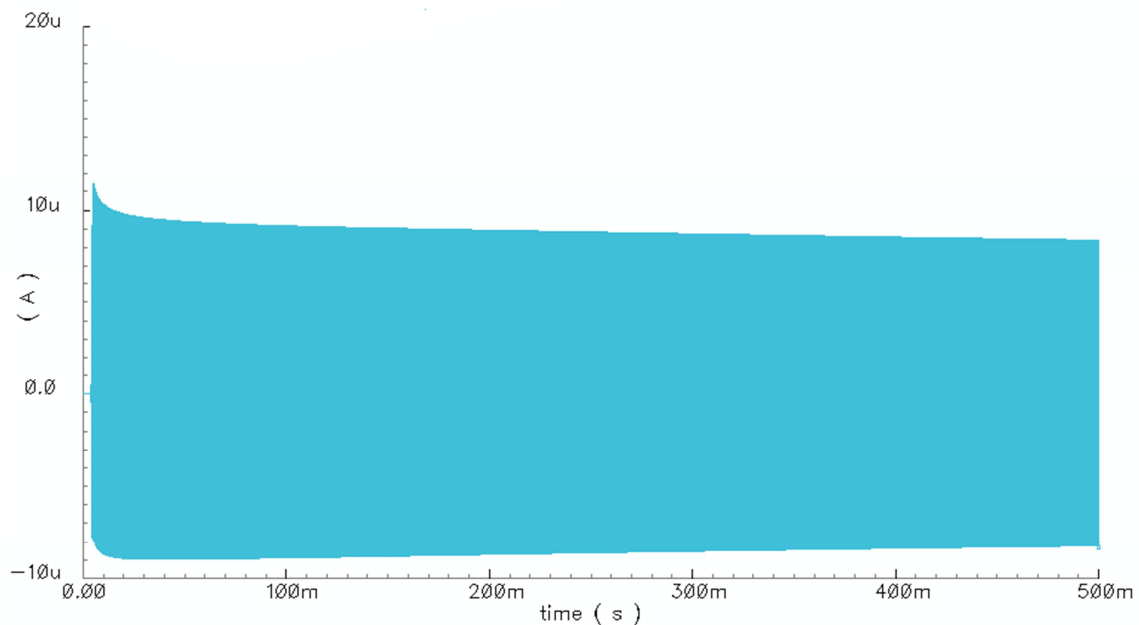


Figura 3.27. Respuesta temporal del transductor sintonizable

Como ya ocurría en el transductor sin sintonía analizado en la sección anterior, este transductor también presenta un periodo transitorio en el cual la amplitud de

salida va viendo disminuido su valor para estabilizarse pasado un tiempo. Este es uno de los inconvenientes que nuevamente vamos a intentar evitar con las etapas de reset. Respecto a la linealidad que se obtiene con este circuito, el THD resultante es de **-74,34dB**.

3.3.2.- Transconductor sintonizable con P.O.R.

La primera modificación que vamos a realizar sobre el transconductor sintonizable es añadir el circuito de Power-On Reset que ya introdujimos anteriormente. Es necesario realizar unos cambios análogos a los realizados en el transconductor no-sintonizable en los transistores M_{Rlarge} de los dos CCII que se añaden como buffers de corriente al nuevo transconductor; las puertas de estos últimos se desconectan de su fuente para conectarlo a la salida del P.O.R.

Realizamos una simulación de este nuevo circuito utilizando los mismos parámetros y dimensiones que en el caso anterior, y obtenemos la siguiente respuesta en frecuencia:

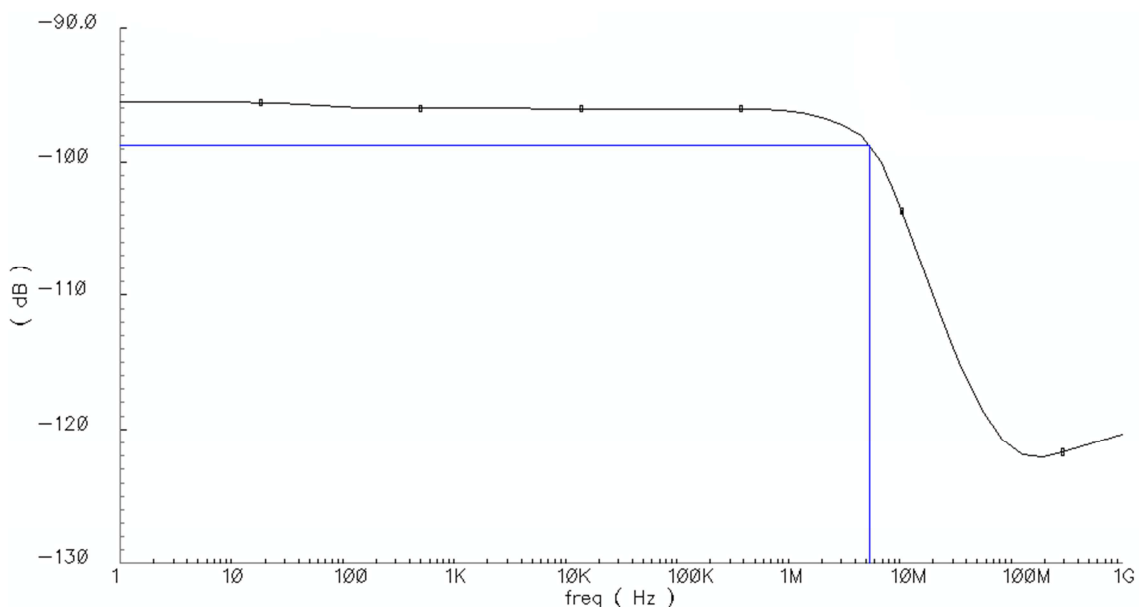


Figura 3.28. Respuesta en frecuencia para el transconductor sintonizable con P.O.R.

Se mantiene el comportamiento paso bajo, obteniendo esta vez un valor de **5,32 MHz** de ancho de banda.

En cuanto a la sintonía, la siguiente figura muestra un barrido del parámetro “Vtun2” entre -1.65V y 100mV:

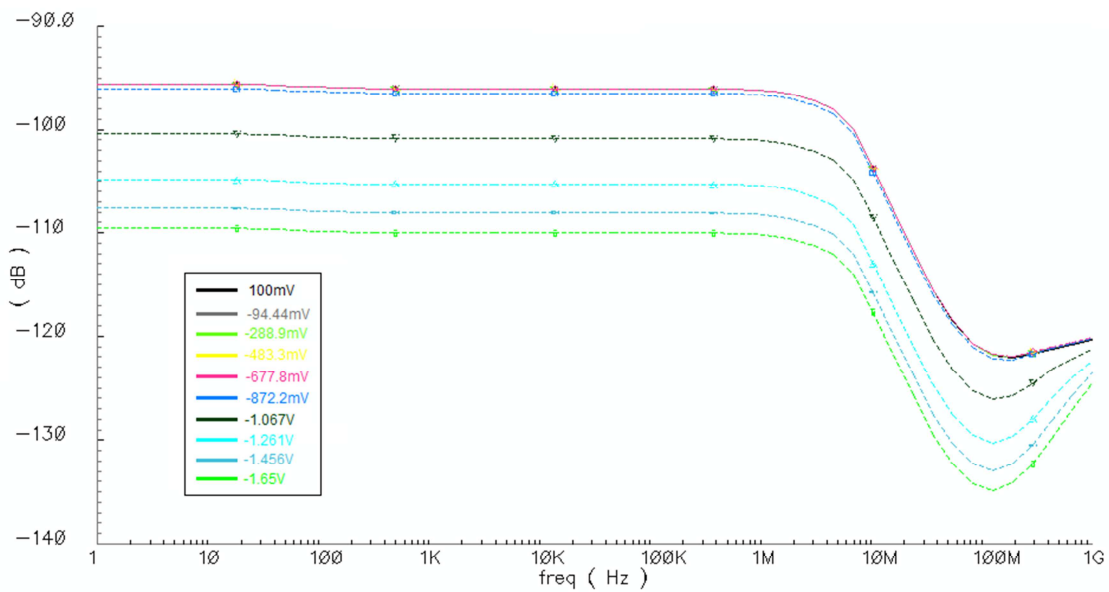


Figura 3.29. Sintonía para el transductor sintonizable con P.O.R.

Veamos cómo es la salida temporal de este transductor modificado:

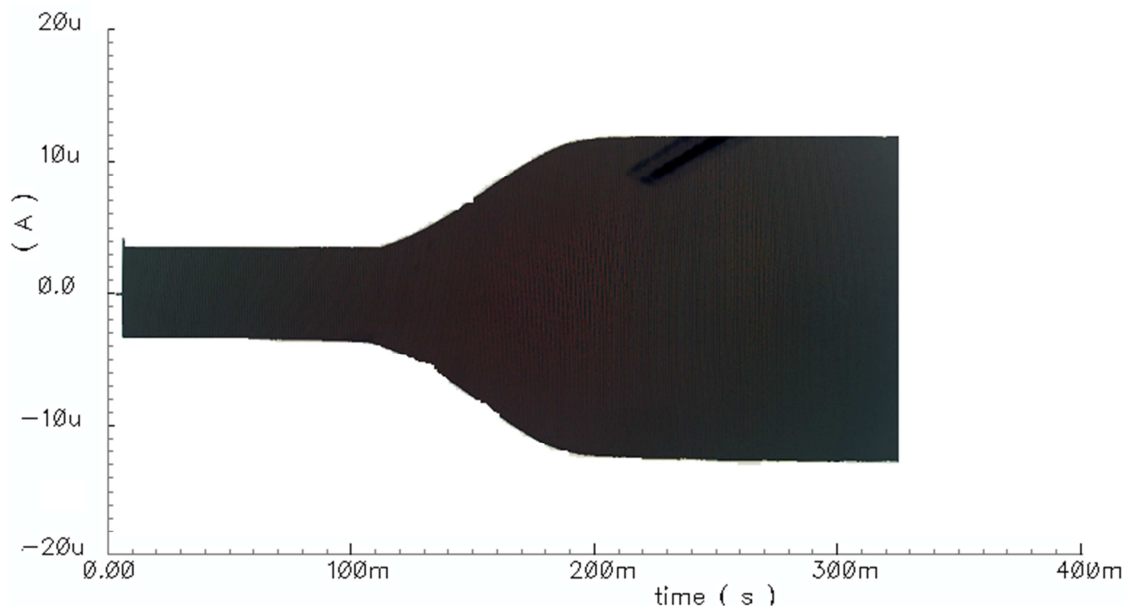


Figura 3.29. Respuesta temporal para el transductor sintonizable con P.O.R.

Podemos ver que aparece un periodo transitorio de entorno a 80ms en durante los cuales la amplitud de la señal de salida presenta valores bastante bajos para más tarde llegar a estabilizarse al valor esperado. Gracias al uso del circuito de P.O.R. la duración de este periodo transitorio es sustancialmente menor que en el caso de no tener etapa

de reset (400ms frente a 80ms) sin embargo no llega a eliminarse por completo, lo cual sí ocurrirá al forzar la operación en inversión débil.

El hecho de tener que realizar una simulación tan larga para conseguir estabilizar la forma de onda hace que no podamos usar una configuración con muchos puntos, ya que el simulador se queda sin memoria disponible. De hecho, no nos es posible simular más de 300ms por este problema. Así, el valor de THD que se extrae de esta última simulación es realmente bajo (-17,43 dB) pero como ya hemos comentado es debido a no poder realizar una simulación con suficientes puntos en el tiempo necesario para obtener la forma de onda estable, luego no es un valor a tener en cuenta a la hora de valorar el transconductor.

3.3.3.- Transconductor sintonizable en inversión débil

Para hacer que el transconductor trabaje en inversión débil, debemos realizar cambios en cada uno de los transistores que implementaban la resistencia M_{Rlarge} , como ya vimos en el capítulo dedicado a ello. Como ahora aparecen dos CCII adicionales en los buffers, tendremos que añadir dos nuevos transistores M_{inv} y extraer dos ramas más del espejo de corrientes que controlan la corriente de puerta de cada uno de estos M_{inv} . En cuanto a dimensiones y parámetros de simulación mantenemos los valores vistos hasta ahora en esta sección.

Obtenemos la siguiente respuesta en frecuencia:

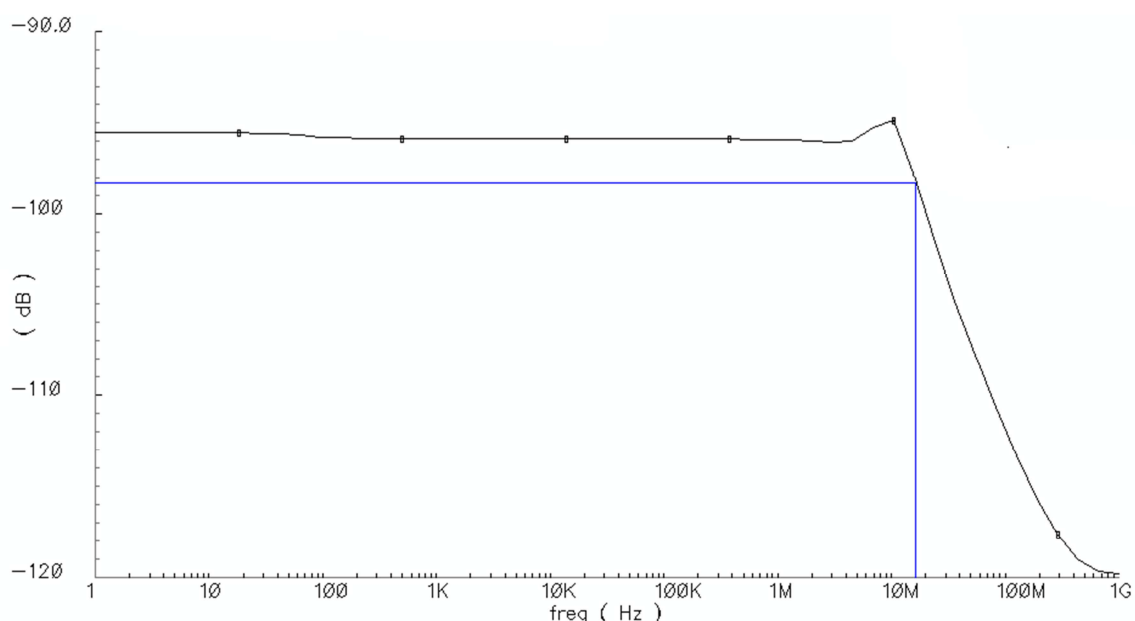


Figura 3.30. Respuesta en frecuencia para el transconductor sintonizable en inversión débil

Como ya veníamos viendo a lo largo de cada una de las topologías anteriores, el circuito presenta un comportamiento paso bajo, llegando a dar un ancho de banda de **16,3 MHz**. Al igual que ocurría en el caso de no tener sintonía, aparece un pico en la respuesta en frecuencia dado por la adición de los M_{inv} en todos los MRLarge, lo cual genera una nueva capacidad parásita que provoca la no-linealidad de la respuesta en frecuencia.

Un barrido del parámetro “Vtun2” entre -1.65V y 100m muestra la sintonía que implementa este transconductor:

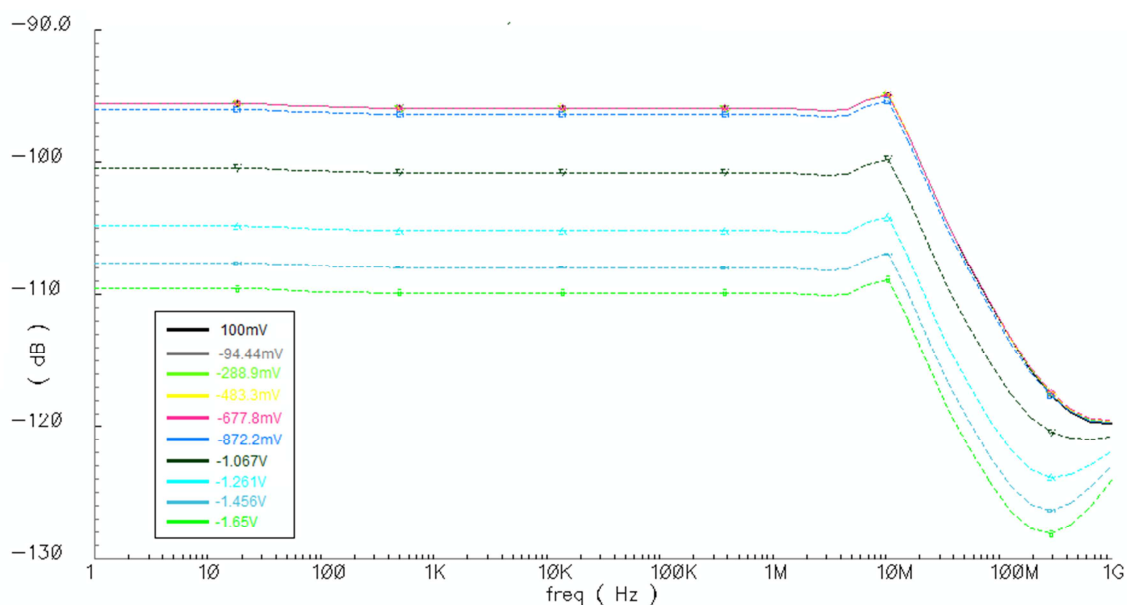


Figura 3.31. Sintonía para el transconductor sintonizable en inversión débil.

En cuanto a la salida temporal, podemos comprobar que el trabajar en inversión débil con los transistores QFG hace que los periodos transitorios que aparecían en los dos casos anteriores desaparezcan prácticamente por completo, dando lugar a una forma de onda estable tras unos pocos ciclos transitorios. Podemos ver una simulación de 500ms en la siguiente figura:

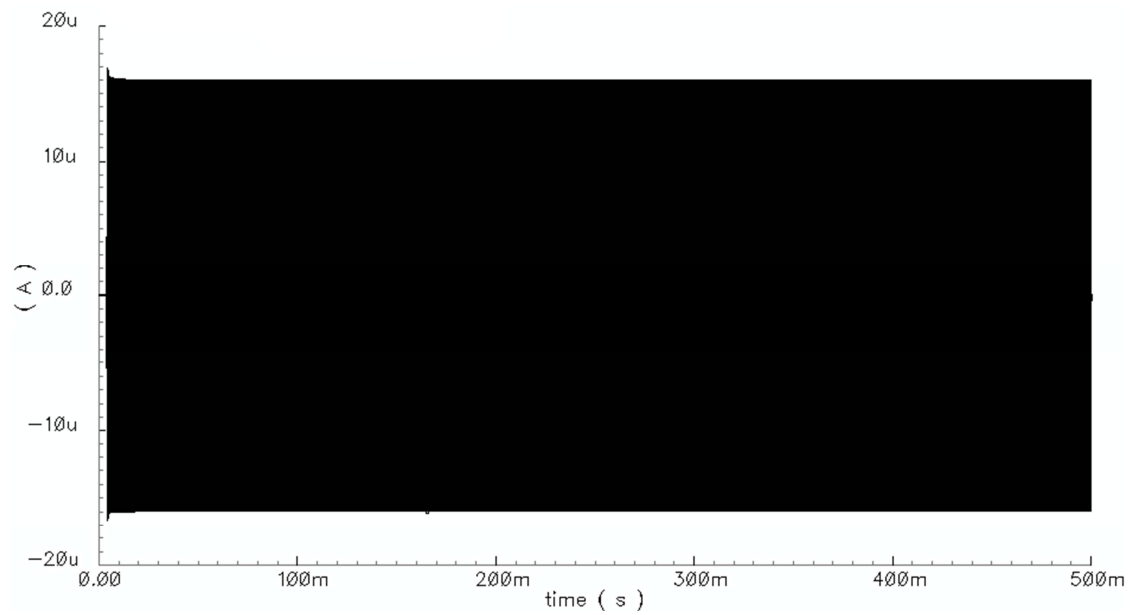


Figura 3.32. Respuesta temporal para el transconductor sintonizable en inversión débil

Si calculamos el valor de THD para este último caso obtenemos un valor de **-87,54 dB** el cual es el mejor de todos los valores obtenidos hasta el momento.

CAPÍTULO 4

FILTRO DE PRIMER ORDEN

La meta de este capítulo es ver si el uso de las técnicas de power-on reset utilizadas en el transconductor del capítulo anterior ofrece algún tipo de mejora al ser aplicadas en un filtro de primer orden formado por dos de estos transconductores.

Una vez analizadas las ventajas que ofrecen los circuitos de Power-On Reset en los transitorios y consecuentemente en la linealidad de los transconductores, vamos a estudiar si el uso de los mismos también ofrece algún tipo de ventaja al usarlos en un filtro Gm-C de primer orden formado por dos de los transconductores anteriores. Para ello, el circuito que vamos a implementar es el siguiente:

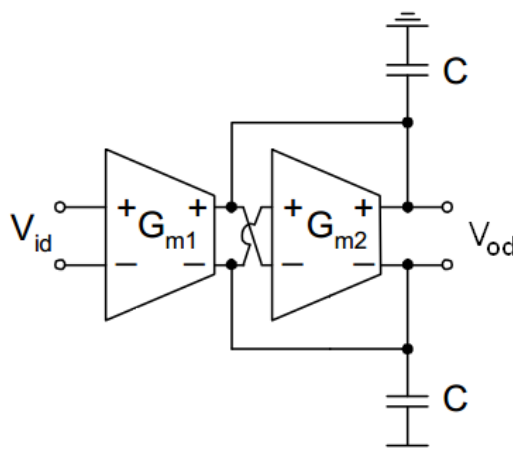


Figura 4.1. Diagrama de bloques del filtro a implementar

Como muestra la figura superior, el filtro estará formado por dos bloques básicos de transconductor sintonizable con los que hemos trabajado a lo largo de las secciones anteriores. El diagrama de bloques de cada uno de ellos se presenta en la siguiente figura:

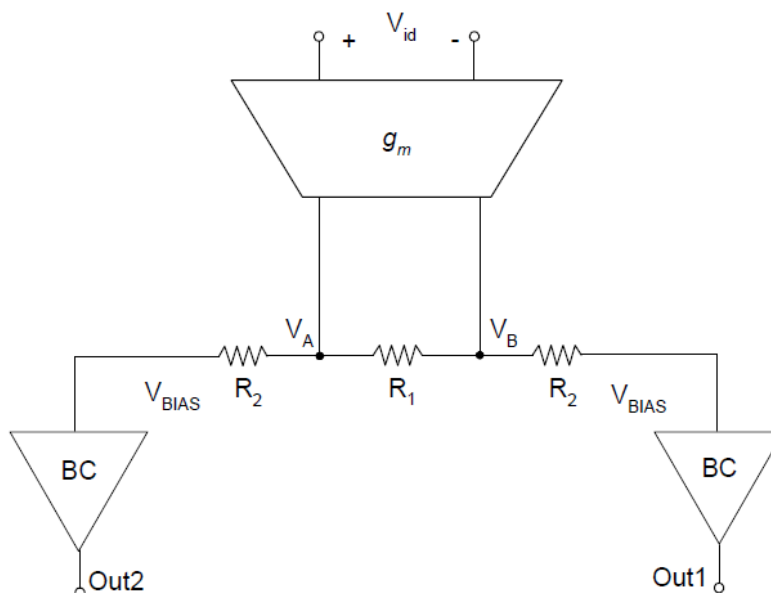


Figura 4.2. Diagrama de bloques de cada transconductor

Y el esquemático completo podemos verlo en la figura a continuación:

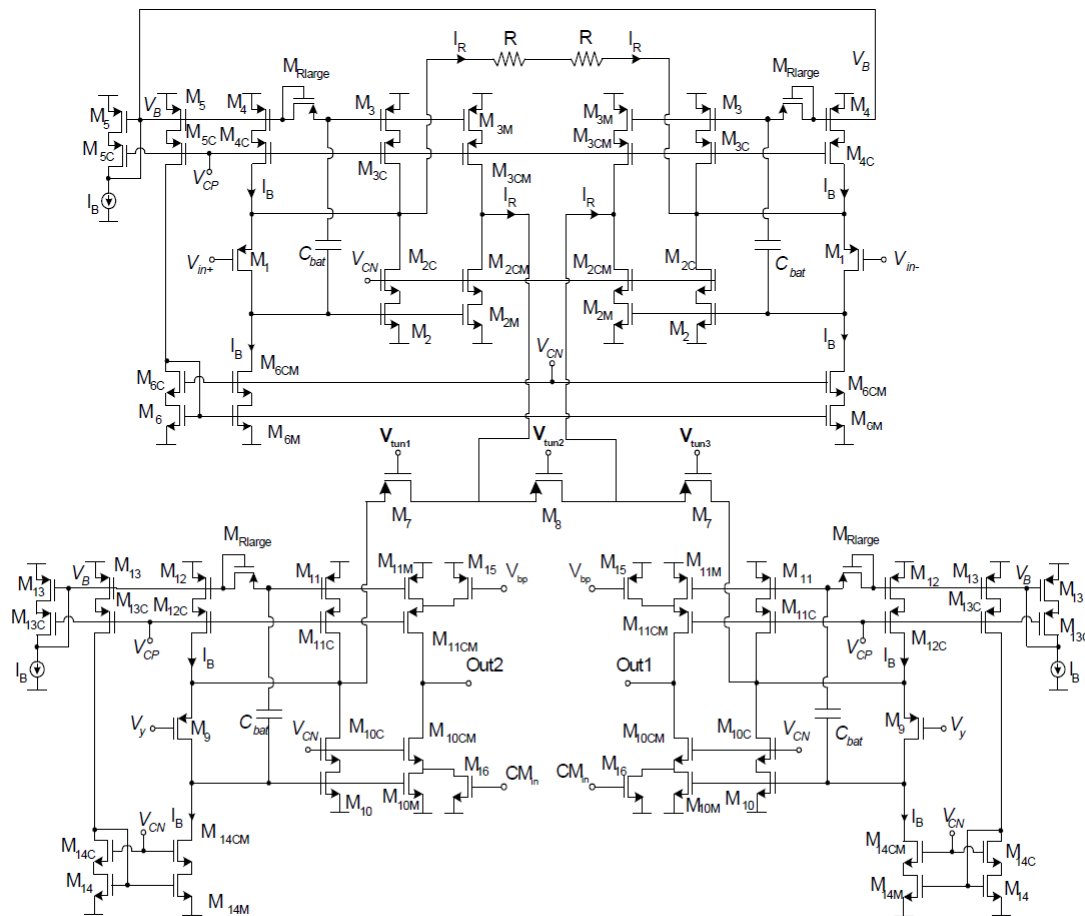


Figura 4.3. Esquemático del transconductor sintonizable completo

Se pueden apreciar ciertos cambios en el transconductor sintonizable respecto al modelo que presentamos en capítulos anteriores. En primer lugar, los transistores M_{15} y M_{16} no aparecían. El motivo de su inclusión es el uso de un circuito de control de modo común (CMFB) cuyo funcionamiento explicaremos más adelante.

Por otro lado, se realiza otra serie de cambios en el circuito para garantizar una mayor simetría en las dos ramas de salida del mismo. Primeramente, interesa que el transistor M_8 tenga el doble de tamaño que los M_7 , de manera que por cada rama circule la mitad de corriente. Esta modificación aumenta también la capacidad de atenuación ya que si el tamaño del transistor es mayor, menor será su resistencia asociada. En segundo lugar, es muy conveniente conectar el terminal de *bulk* de estos tres transistores que forman el divisor resistivo a V_{DD} en lugar de a su terminal de fuente. De todas maneras, es posible que este intento de mejora de la simetría de cómo resultado añadido un empeoramiento de efecto *body* y la capacidad de sintonía.

4.1.- Circuito para control de modo común CMFB

Al haber estado trabajando en salida de corriente durante todo el análisis de los transconductores por separado es importante ajustar los parámetros de los mismos para poder obtener una salida en tensión correcta. Tras varios intentos fallidos, se toma la decisión de añadir un **circuito para control de modo común (CMFB)** ya que los resultados muestran que este parámetro está haciendo que el comportamiento en DC no sea correcto, lo que a su vez hace que la respuesta en frecuencia sea errónea. Para el control del modo común del filtro usamos el siguiente circuito:

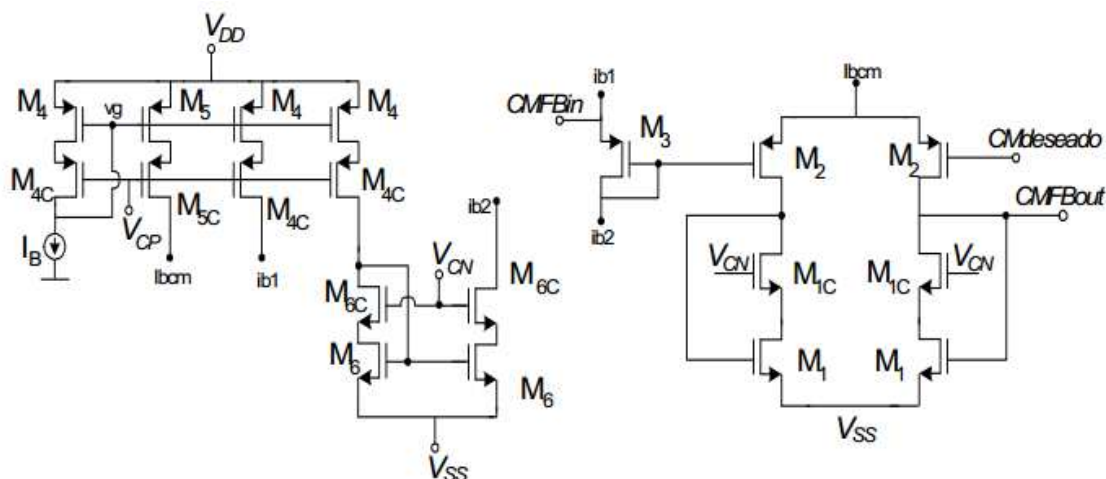


Figura 4.4. Esquemático del circuito de control de modo común

Un CMFB (*Common Mode Feedback*) nos permite fijar la tensión de modo común a la salida del circuito. Si observamos la figura superior, el circuito CMFB que vamos a utilizar está formado únicamente por transistores. Analicemos los nodos del circuito:

- El nodo *CMin* es la entrada del circuito, y por él se introducirá la tensión que previamente habremos medido en el punto medio de las resistencias pasivas del segundo transconductor.
- En el nodo *CMdeseado* se introducirá al circuito la tensión de modo común que queremos obtener una vez realizado el ajuste de tensiones.
- *CMFBout* es la salida del circuito, y la tensión que saldrá por aquí se introducirá al primer transconductor del filtro, haciendo que las tensiones del mismo se

modifiquen para obtener a la salida una tensión de modo común lo más parecida posible a la deseada.

Veamos cómo funciona este circuito de control de modo común. La clave de su funcionamiento es el reparto de las corrientes entre las dos ramas del CMFB. El primer paso, como ya hemos comentado anteriormente, es medir la tensión existente entre las resistencias pasivas del transconductor. Como podemos observar en la figura, esta tensión está relacionada con la tensión de entrada a través de la V_{gs} del transistor M_1 . Por ello, es necesario que la tensión entrante por el nodo $CMFB_{in}$ se desplace una cantidad parecida en magnitud pero de sentido contrario a la que sufrió en el circuito principal. Esto se puede conseguir haciendo que el transistor M_3 del CMFB tenga las mismas dimensiones que el transistor M_1 del transconductor. Una vez que la tensión llega a la puerta de M_2 , se compara con la tensión existente en $CM_{deseado}$, y el circuito actuará de una manera u otra en función de esta comparación.

El uso de este circuito de control de modo común nos obliga a realizar ciertos cambios en los transconductores que forman el filtro. Dependiendo de si estamos trabajando con los transconductores sintonizables o no, las modificaciones son diferentes.

En primer lugar, para los transconductores no sintonizables, debemos realizar los siguientes cambios: se añaden dos transistores, M_7 y M_8 , conectados a los puntos intermedios entre M_{3M} y M_{3CM} y M_{2CM} y M_{2M} respectivamente, como muestra la figura:

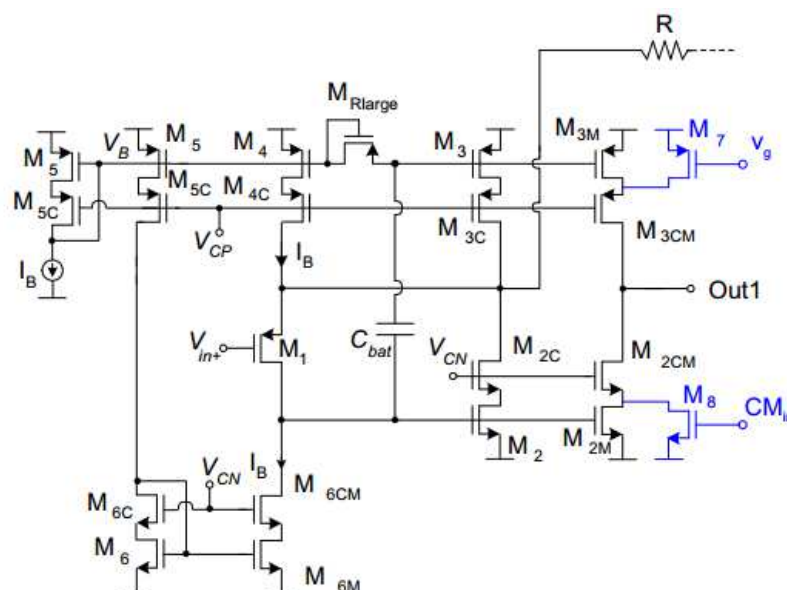


Figura 4.5. Modificaciones necesarias para el uso de CMFB en el transconductor

La función de esta pareja de transistores es poder trasladar las modificaciones que ocurren al comparar las dos tensiones en el CMFB al circuito principal, ya que el objetivo final es ajustar la tensión de modo común de salida del transconductor. Es importante notar que en la figura anterior solamente se muestra una de las partes del transconductor, ya que los transistores a añadir en la parte derecha son análogos.

Para el caso de utilizar transconductores sintonizables, las modificaciones se realizan en los buffers que se añadieron para implementar la sintonía. Los cambios son análogos a los añadidos en el caso de no tener sintonía:

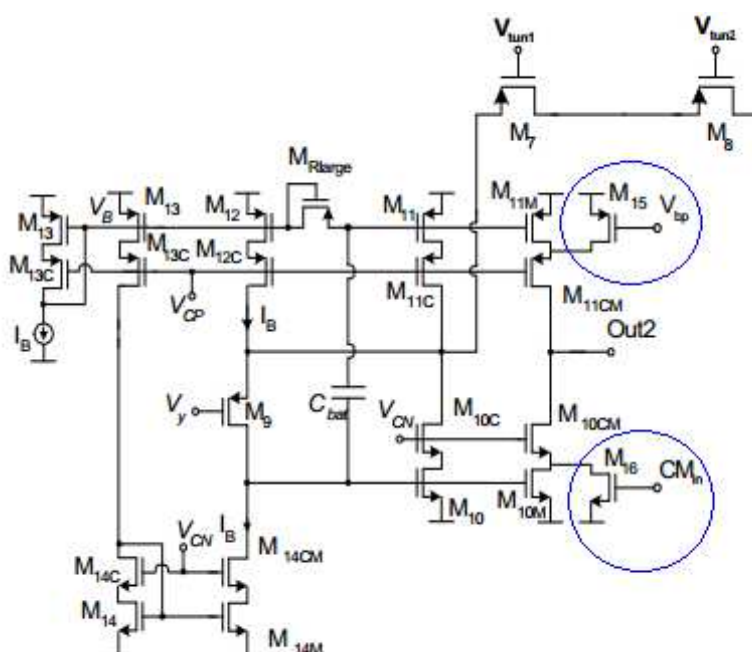


Figura 4.6. Modificaciones necesarias para el uso de CMFB en los CCII

Pasemos a explicar cómo afecta la comparación de las tensiones en los nodos *CMFBin* y *CMdeseado*. Por ejemplo, si la tensión medida en el punto intermedio de las resistencias pasivas es menor que la del nodo *CMdeseado*, el circuito deberá hacer que esa tensión aumente. Viendo el circuito CMFB, podemos deducir que una bajada en la tensión de puerta del transistor PMOS M2 de la izquierda respecto del equilibrio, hace que su tensión V_{GS} sea mayor en modulo, y de esta manera hará que su resistencia sea menor, haciendo por último mayor la corriente que lo atraviesa. Como la tensión que atraviesa las dos ramas del CMFB tiene que ser constante, está subida de la corriente

en la rama de la izquierda hará que la corriente en la rama de la derecha sea menor. Esta situación fuerza que la corriente que circula por el transistor PMOS M2 de la derecha sea menor que la que circularía en situación de equilibrio, pero como tanto su tensión V_G como V_S son fijas, la única forma de que la corriente sea menor es que V_{DS} crezca en módulo. Para que en un transistor PMOS crezca la V_{DS} , V_D debe disminuir para alejarse de V_S . De esta manera, el nodo *CMFBout* tendrá un valor menor que el que tendría en equilibrio, que es precisamente el valor que introducimos al transconductor a través del nodo *CMin*.

En equilibrio, el transistor NMOS M_8 (M_{16}), dimensionado igual que el transistor M_1 del CMFB, está atravesado por una corriente I_b . Cuando su V_G es menor, como en el ejemplo que estamos analizando, su V_{GS} también será menor, y en consecuencia la corriente que lo atraviesa será menor también. Sin embargo, como la corriente que lo atraviesa será constante e igual a I_b , si su V_{GS} toma un valor menor, su tensión V_{DS} aumentará. Al ser un transistor NMOS; un aumento en V_{DS} implica que V_D ha aumentado, y esto es lo que nos permite obtener la subida en la tensión de modo común de salida que se estaba buscando.

Por último, el transistor PMOS M_7 (M_{15}) se encargará de proporcionar la corriente que circulará por M_8 (M_{16}) en situación de equilibrio. En situación de equilibrio, por las dos ramas del CMFB circulará una corriente de $I_{bcm}/2$, es decir, una intensidad de I_b amperios. Para poder entregar esta corriente I_b , los transistores M_7 (M_{15}) deben estar dimensionados igual que los transistores M_4 del circuito *CMFB*, y su tensión de puerta valer también v_g .

Una vez implementado el circuito de *CMFB* se añade al filtro de primer orden, de manera que el esquemático quedará como muestra la siguiente figura:

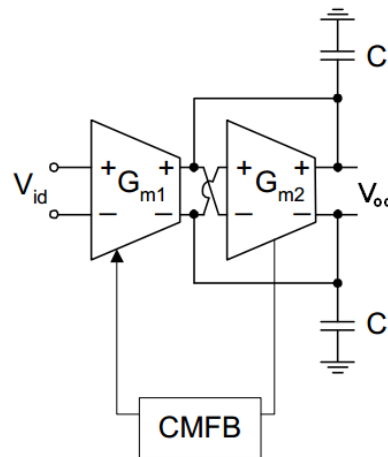


Figura 4.7. Diagrama de bloques del filtro con CMFB

Ya que en el transconductor G_{m2} debemos medir el voltaje entre las resistencias pasivas para poder utilizarlo como entrada al *CMFB*, los circuitos utilizados a la hora de la simulación no serán exactamente iguales.

En el primer transconductor, las entradas CM_{in} y V_{bp} (figura) deberán ir conectadas a dos de las salidas del circuito de *CMFB*, $CMFB_{out}$ y V_g . Sin embargo, en el segundo transconductor no queremos que estas entradas tengan ningún efecto en el circuito, ya que el ajuste de modo común solamente debe hacerse en el primer transconductor. Para ello, se ha diseñado un nuevo modelo de transconductor en el que no aparecen los transistores encargados de trasladar los cambios de la tensión de modo común.

4.2.- Filtro de primer orden sin etapa de reset

Una simulación del filtro de primer orden sin usar etapa de reset y con fuentes de alimentación ideales nos muestra unos resultados muy buenos, donde no aparecen periodos transitorios en absoluto y con una muy buena linealidad; concretamente se obtiene un valor de THD = -56dB con una entrada de amplitud 2Vpp. Sin embargo es muy interesante observar cómo se comporta el circuito cuando utilizamos fuentes de alimentación no ideales, que será lo que motive a realizar modificaciones en los filtros. Como ya hemos comentado con anterioridad, las fuentes de alimentación “reales” no presentan un valor constante desde el instante $t=0$; hay un tiempo de subida hasta que el voltaje alcanza su valor máximo. Esto hace que los circuitos presenten periodos

transitorios bastante largos en los cuales las amplitudes de salida no son estables. Por ejemplo, para este primer filtro el cambiar las fuentes ideales por fuentes reales estropea mucho la salida, tanto en cuanto a falta de estabilidad en la amplitud de salida como en la propia amplitud; aparece una atenuación muy alta. Tras una simulación de 1.1 segundos la amplitud no se estabiliza, y el software se queda sin memoria para poder seguir simulando. En este punto, la amplitud de la señal de salida se encuentra en torno a 850mV con una entrada de 1V, por lo que podemos suponer que en un tiempo alrededor de 1.5 segundos la amplitud alcanzará su valor nominal para mantenerse constante a partir de ese momento. Podemos ver a continuación una figura que muestra este resultado:

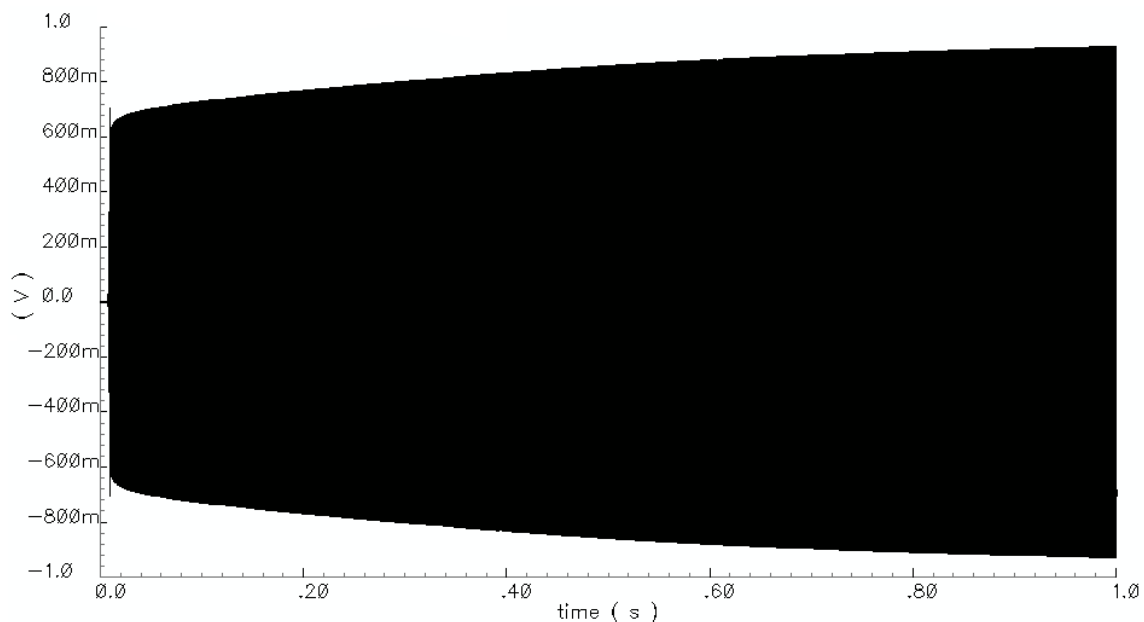


Figura 4.8. Respuesta temporal del filtro de primer orden sin etapa de reset

Cabe destacar que la respuesta en frecuencia del filtro no se ve afectada por el uso de fuentes ideales o reales, de manera que aun utilizando las segundas el resultado para la respuesta en frecuencia sigue siendo adecuada.

Este problema de los periodos transitorios motiva a buscar soluciones implementando circuitos de Power On Reset.

4.3.- Filtro de primer orden con P.O.R.

Así, el siguiente paso es añadir un circuito de Power-On Reset al filtro. Para ello, los transconductores utilizados en cada uno de los filtros debe modificarse: todos los transistores que implementan la resistencia M_{Rlarge} ahora tendrán su terminal de puerta conectado a la tensión de salida del circuito de reset, como ya vimos en la sección correspondiente a la explicación de estos circuitos.

Realizamos una simulación del filtro ya con la etapa de reset añadida, en el cual se han utilizado los siguientes parámetros:

Parámetros de simulación	
Filtro de primer orden + P.O.R.	
Idc	10uA
Vcm	-500mV
Vin	1V
Vtun2	100m
Vy	100m
Rpas	18K

La respuesta en frecuencia que obtenemos para este filtro es la siguiente:

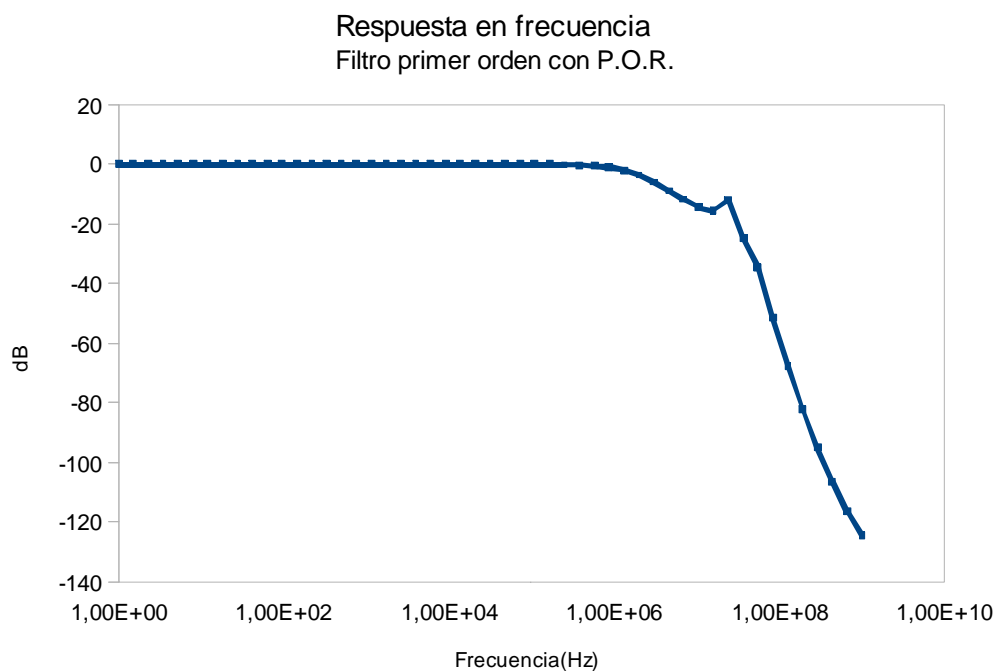


Figura 4.9. Respuesta en frecuencia del filtro de primer orden con P.O.R:

En este caso, el ancho de banda del filtro es de **1.7 MHz**, valor suficiente para aplicaciones inalámbricas como Bluetooth o Zigbee. En la banda de paso el filtro presenta un valor prácticamente de 0dB.

Nos interesa comprobar si el añadir la etapa de Power-On Reset ha eliminado el largo transitorio que aparecía en el caso de no utilizar etapa de reset. Efectivamente, el tiempo que ahora tarda la salida en alcanzar la amplitud de la señal de entrada es muy corto, del orden de microsegundos. Podemos ver los primeros ciclos de esta señal de salida en la siguiente figura:

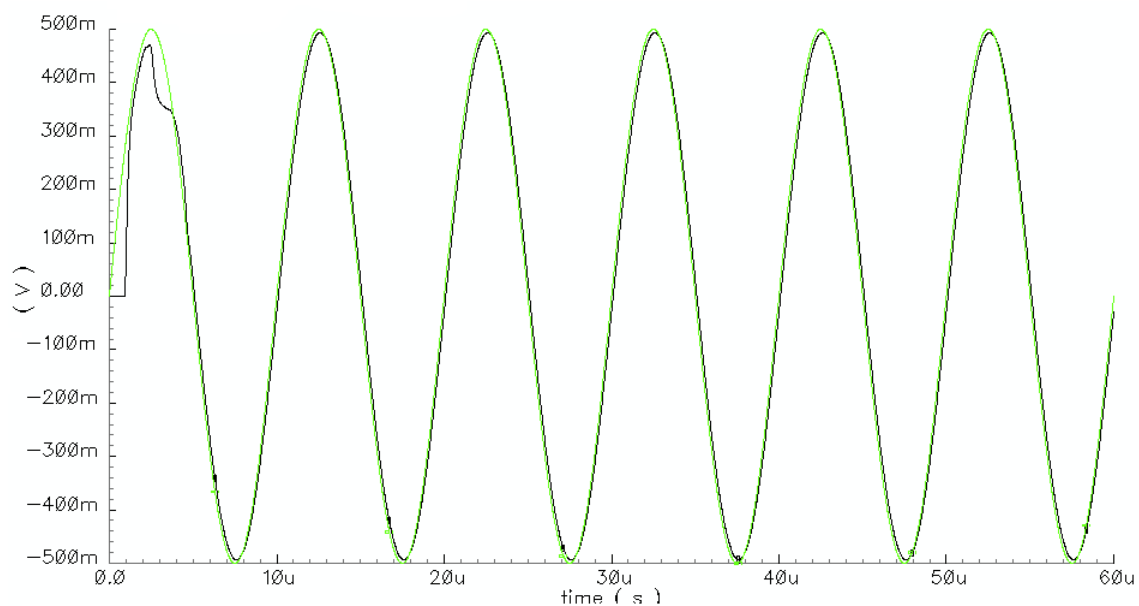


Figura 4.8. Respuesta temporal del filtro de primer orden con P.O.R.

En cuanto a la linealidad, el valor que se obtiene con los parámetros de simulación anteriores es de **THD=-56,8dB**.

Podemos obtener también la gráfica que relaciona la tensión de entrada con la linealidad del filtro:

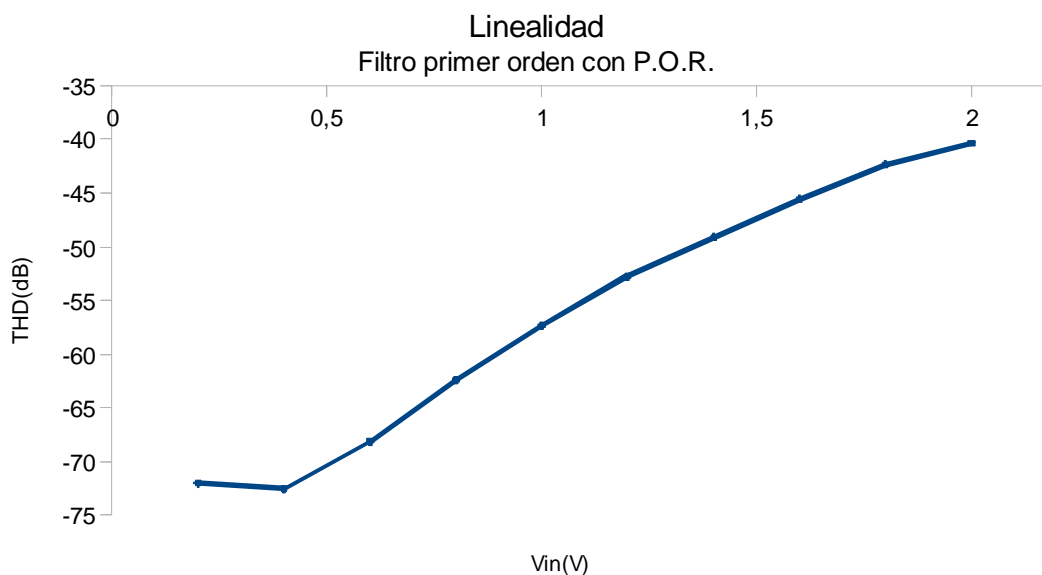


Figura 4.9. Linealidad del filtro en función de la amplitud de entrada del filtro de primer orden con P.O.R.

Analizando los resultados, podemos ver que para valores menores de 1.4V en la amplitud de entrada la linealidad está por debajo de los -50dB , por lo que no será adecuado utilizar señales con una amplitud mayor que este valor si queremos mantener buenas condiciones en el filtrado.

Es interesante obtener una gráfica que represente la amplitud de salida frente a la de entrada.

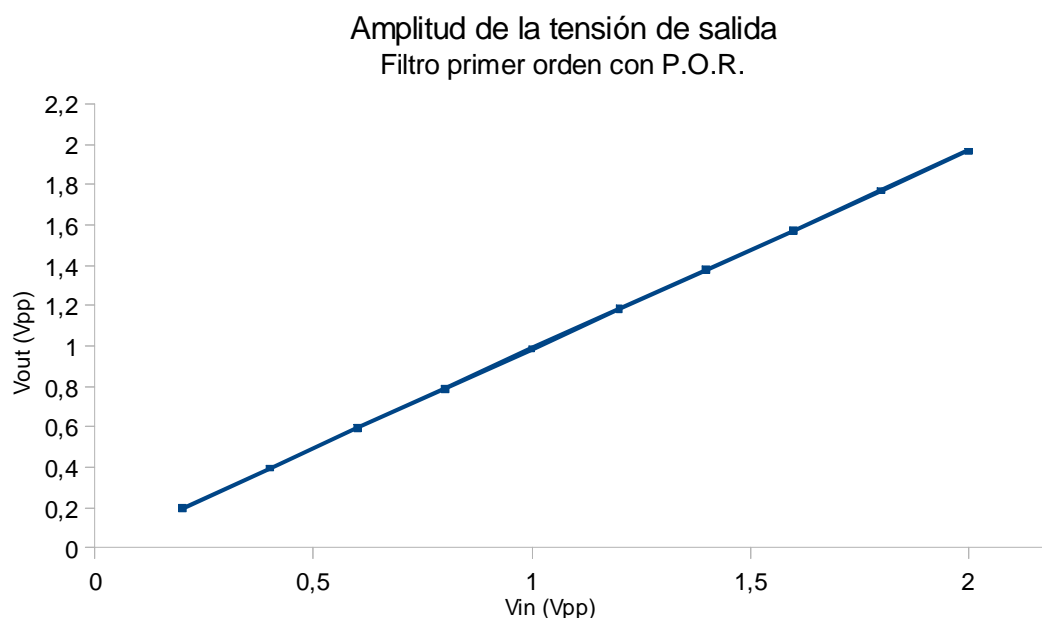


Figura 4.10. Amplitud de salida en función de amplitud de entrada del filtro de primer orden con P.O.R.

Podemos observar que cada uno de los valores de salida es prácticamente igual a los de entrada, lógico, ya que como hemos comentado antes la ganancia de la banda de paso del filtro es muy cercana a 1 (0 dB).

4.4.- Filtro de primer orden en inversión débil

La última modificación que vamos a analizar es hacer trabajar en inversión débil a los transistores QFG, como ya se explicó en el capítulo dedicado a los transconductores por separado. Los parámetros de simulación para este caso son los siguientes:

Parámetros de simulación	
Filtro de primer orden en inversión débil	
Idc	10uA
Vcm	0V
Vin	500mV
Vtun2	100mV
Vy	-300mV
Rpas	18K Ω

En estas condiciones la respuesta en frecuencia del filtro es la siguiente:

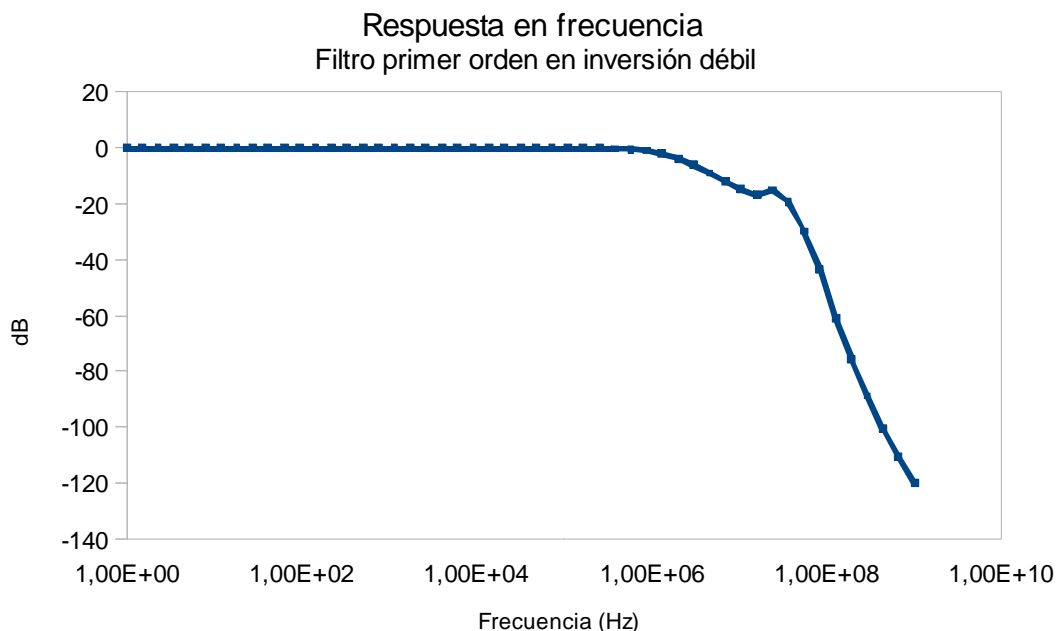


Figura 4.11. Respuesta en frecuencia del filtro de primer orden en inversión débil.

El ancho de banda a -3dB vuelve a ser de 1.7MHz , lo cual encaja en las necesidades de nuestras aplicaciones. En cuanto a la linealidad obtenemos un valor de **THD=-56,47dB** para los valores de simulación presentados anteriormente.

Comprobamos nuevamente si el uso de esta técnica de reset ha eliminado el largo transitorio que aparecía en el filtro cuando no usábamos ninguna etapa de reset. Efectivamente, como podemos observar en la siguiente figura, el transitorio se reduce a unos pocos microsegundos de manera que la amplitud de salida de la señal rápidamente alcanza la amplitud de entrada:

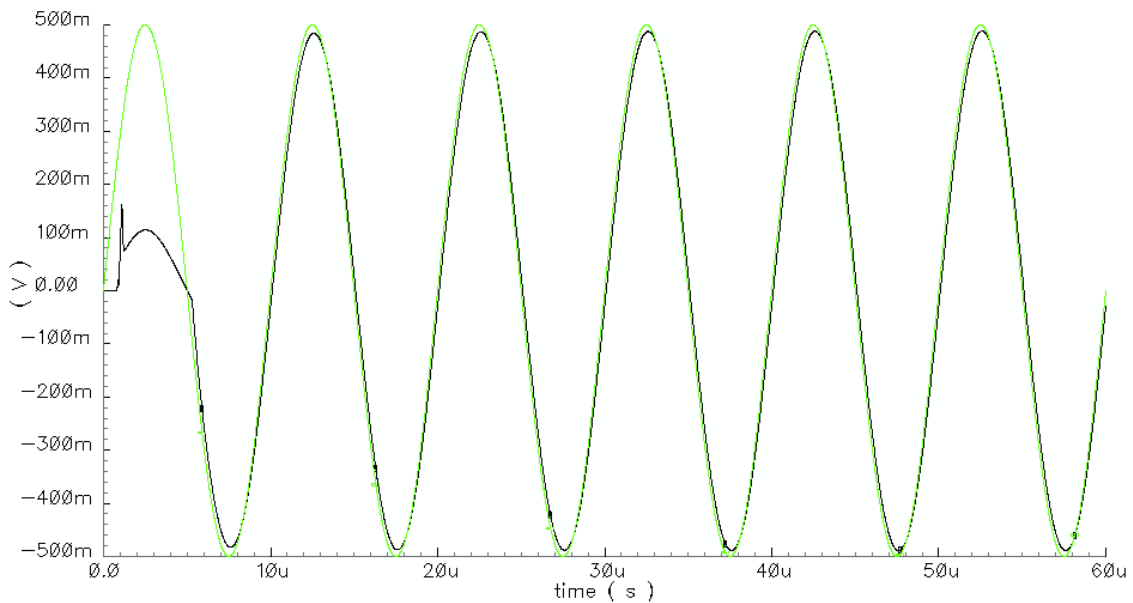


Figura 4.12. Respuesta temporal del filtro de primer orden en inversión débil.

Obteniendo la gráfica de tensión de entrada frente a THD observamos que el filtro puede ser utilizado con señales de entrada de amplitud menor o igual que 1.4V, lo que es prácticamente igual que el caso anterior que sólo utilizaba el POR:

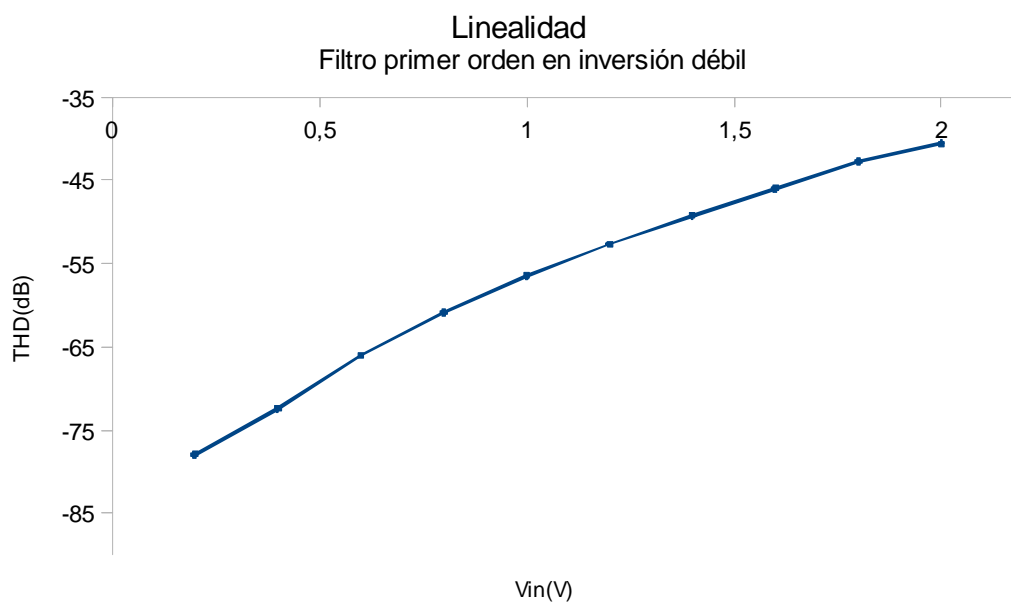


Figura 4.13. Linealidad del filtro en función de la amplitud de entrada del filtro de primer orden en inversión débil

CAPÍTULO 5

FILTRO DE TERCER ORDEN

El objetivo de este capítulo es analizar el impacto de las técnicas de reset presentadas anteriormente en un filtro paso bajo de tercer orden, diseñado a partir del filtro paso bajo de primer orden que vimos en el capítulo anterior.

Una vez implementado el filtro de primer orden a partir de dos transconductores como vimos en el apartado anterior, el objetivo ahora es diseñar un filtro paso bajo de tercer orden, manteniendo el transductor sintonizable como celda base. En este caso, el esquemático del filtro a implementar es el siguiente:

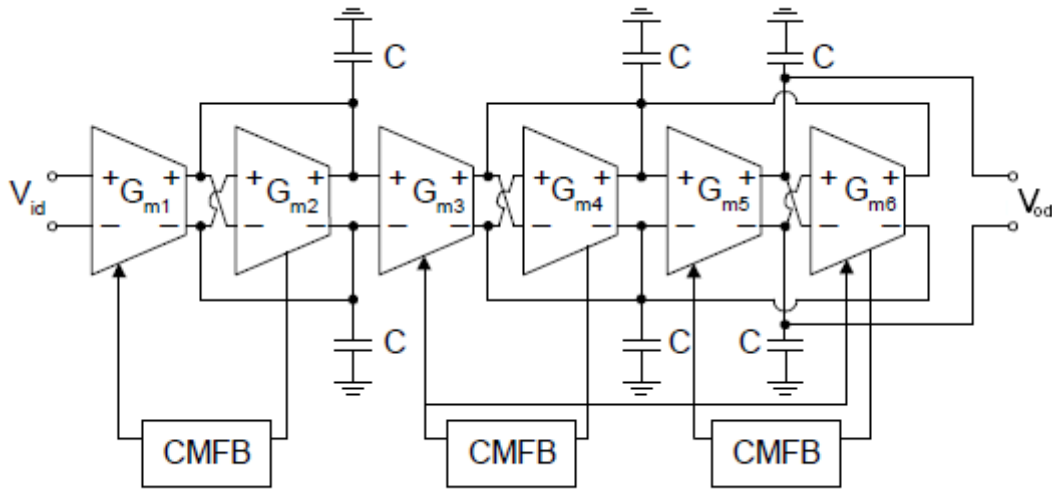


Figura 5.1. Diagrama de bloques del filtro de tercer orden

Como podemos observar, este filtro va a estar formado por seis transconductores sintonizables iguales y seis capacitores. Además, como ya comentamos en la sección dedicada al filtro de primer orden, es necesario realizar un control de modo común, y para ello se utilizar tres circuitos de *CMFB* que controlarán esta tensión en tres puntos del circuito.

La función de transferencia de este filtro está dada por la siguiente expresión:

$$H(s) = \frac{V_{od}(s)}{V_{id}(s)} = \frac{G_{m1}/C}{s + G_{m2}/C} \cdot \frac{G_{m3}G_{m5}/C^2}{s^2 + (G_{m4}/C)s + G_{m5}G_{m6}/C^2} \quad (5.1)$$

Es interesante fijar las ganancias de los transconductores como $G_{m1}=G_{m2}=G_{m4}$ y $G_{m3}=G_{m5}=G_{m6}$.

No nos vamos a detener en explicar cada uno de los bloques del filtro de tercer orden paso bajo ya que en la sección anterior dedicada al filtro de primer orden se exponían de manera detallada cada uno de los esquemáticos utilizados en él, y puesto que el

actual filtro utiliza los mismos bloques, sería redundante repetir la misma información en este apartado.

Así, al igual que llevamos haciendo a lo largo de cada una de las secciones anteriores, vamos a analizar el impacto que tienen las fuentes de alimentación rampa en el circuito original y cómo afecta la aplicación de las diferentes etapas de reset al mismo.

5.1.- Filtro de tercer orden paso bajo sin etapa de reset

En primer lugar, vamos a ver cómo se comporta el filtro paso bajo de tercer orden sin etapas de reset pero con fuentes de alimentación rampa. Para ello, realizamos una simulación del circuito con los siguientes parámetros:

Parámetros de simulación	
Filtro de tercer orden	
Idc	10uA
Vcm	-500mV
Vin	500mV
Vtun2	-300mV
VtunB	-300mV
Vy	-300mV
Rpas	18K Ω
C	7pF

La respuesta en frecuencia que obtenemos para este filtro con los parámetros de la tabla superior es la siguiente:

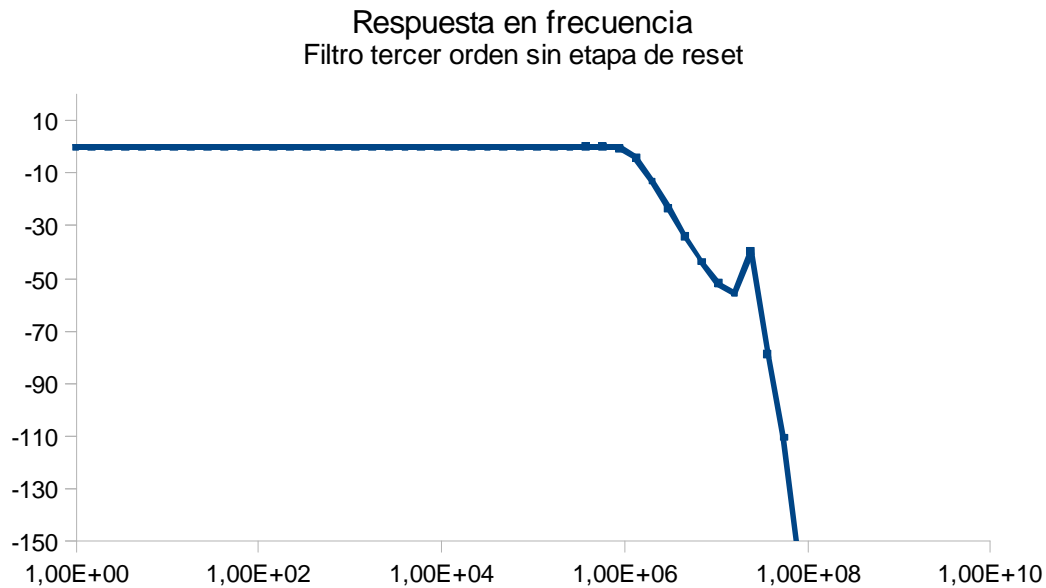


Figura 5.2. Respuesta en frecuencia del filtro de tercer orden sin etapa de reset

Podemos observar que este filtro presenta un ancho de banda de 1.2MHz, como debe de ser para aplicaciones inalámbricas tipo Bluetooth. Al tratarse de un filtro sintonizable, lo realmente interesante es observar cómo variando la tensión de sintonía “tun2” se consigue variar el ancho de banda del mismo:

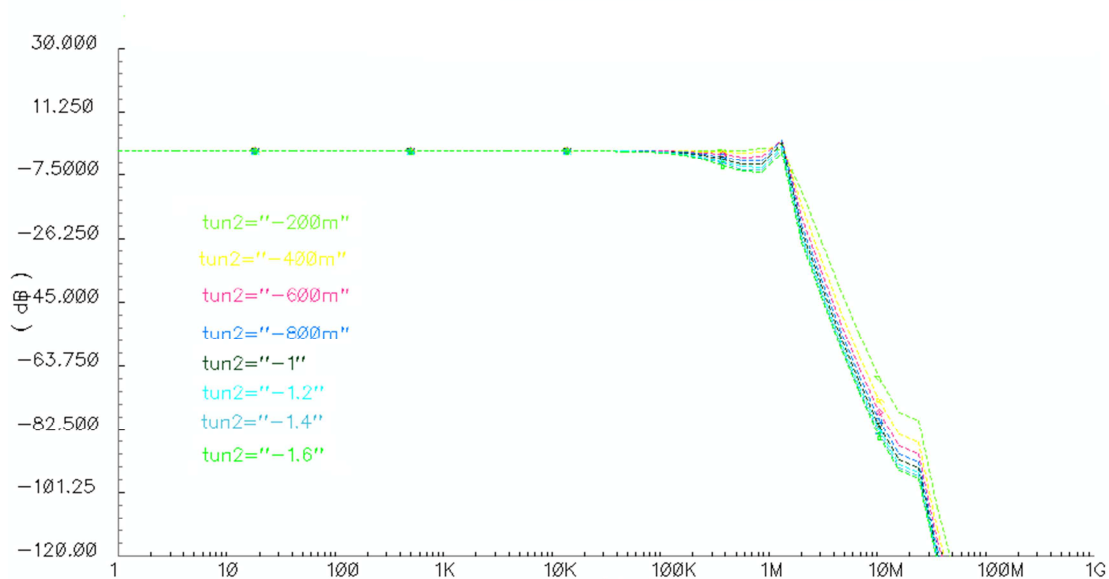


Figura 5.3. Sintonía del filtro de tercer orden sin etapa de reset

Es interesante ver cómo independientemente del voltaje de sintonía utilizado la ganancia en la banda de paso se mantiene en 0dB pero el ancho de banda crece. La siguiente figura muestra con más exactitud la sintonía en el ancho de banda:

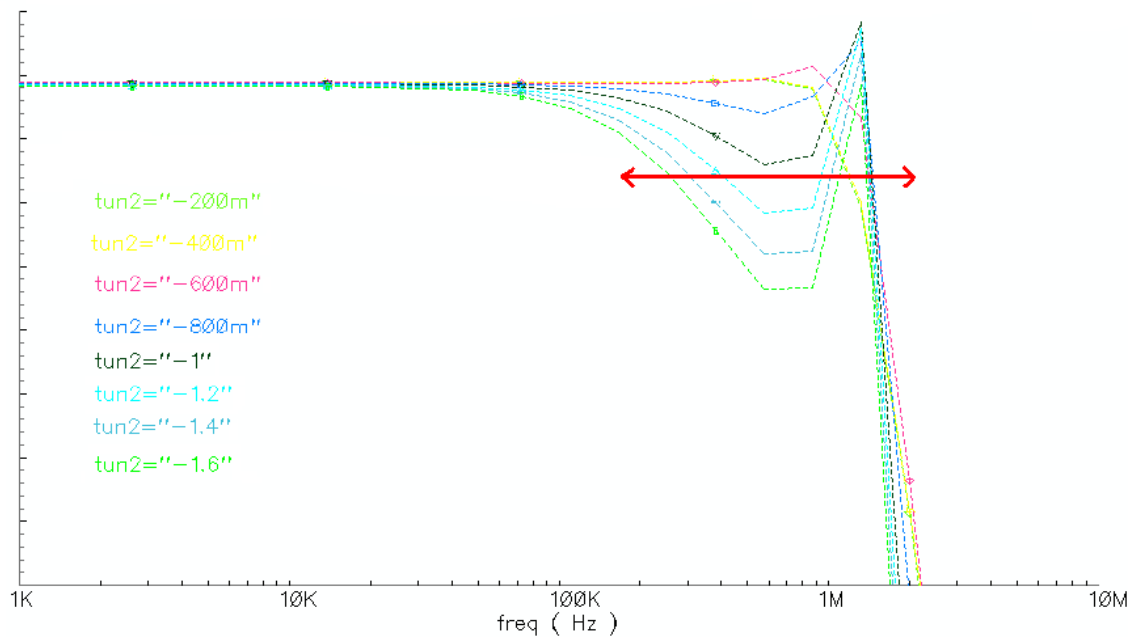


Figura 5.4. Detalle de sintonía del filtro de tercer orden sin etapa de reset

Puede verse que en función de la tensión de sintonía usada el ancho de banda a -3dB varía entre los valores comprendidos entre 300KHz y 1.8MHz . El pico que aparece en la bajada para ciertos valores de sintonía hace que la frecuencia de corte a -3dB no siga una sintonía continua lo que podría ser un problema. A pesar de todo, en secciones posteriores comprobaremos cómo mediante una de las soluciones propuestas para la mejora de los transistores QFG este problema desaparece. Concretamente, podemos ver las frecuencias de corte exactas en la siguiente tabla:

V_{tun_2}	f_c
-1.6V	257,43KHz
-1.4V	315,9KHz
-1.2V	418,8KHz
-1V	1,45MHz
-0.8V	1,45MHz
-0.6V	1,41MHz
-0.4V	1,21MHz
-0.2V	1,19MHz

En cuanto a la salida temporal del filtro, es posible observar que el uso de fuentes de alimentación rampa hace que aparezca un periodo transitorio relativamente largo

hasta que la amplitud de la señal de salida alcanza el valor de amplitud de la señal de entrada (al tener aproximadamente 0dB en la banda de paso la salida del filtro tiene prácticamente la misma amplitud que la entrada). Concretamente, tras una simulación de 10ms el estado de ambas señales puede apreciarse en la siguiente figura:

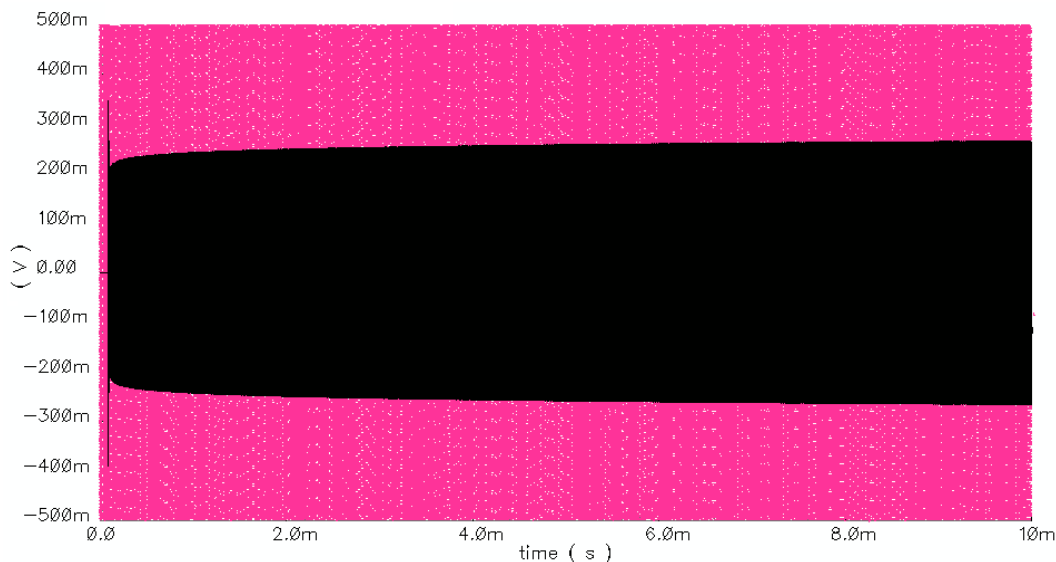


Figura 5.5. Señales de entrada y salida del filtro de primer orden sin etapa de reset.

La señal negra es la salida del filtro y la señal rosa la entrada. Puede apreciarse que la amplitud crece lentamente, por lo que es necesario realizar una simulación mucho más larga para ver cómo de largo es el transitorio hasta que la señal de salida por fin se estabiliza. Al intentar realizar una simulación de más de un segundo de duración el simulador se queda sin memoria por lo que no podemos obtener una gráfica que muestre como tras un tiempo la amplitud de la señal de salida finalmente alcanza el valor de la entrada. Por ello, al igual que ocurría en el caso del filtro de primer orden supondremos que tras un tiempo el valor de la amplitud de salida alcanza al de entrada y se mantiene en ese nivel. En cuanto a la linealidad de este filtro, ya que no podemos obtener la salida temporal estable, podemos calcular el THD con los parámetros de simulación anteriores para un tiempo de simulación de 280ms (máximo permitido por 'Cadence'). En estas circunstancias el valor que se obtiene para el THD es de -49.81dB . El valor está prácticamente en -50dB que es el límite para un correcto funcionamiento, pero hay que notar que al estar dentro del periodo transitorio, la

distorsión de la señal será mayor de lo que será una vez estable, por lo que su linealidad mejoraría.

5.2.- Filtro de tercer orden paso bajo con P.O.R.

Una vez analizado el filtro paso bajo sin ninguna etapa de reset conectada a sus transistores QFG, vamos a ver cómo afecta el conectar cada una de las puertas de dichos transistores al circuito de Power On Reset que llevamos utilizando a lo largo de todos los capítulos anteriores.

Con las modificaciones pertinentes realizadas en cada uno de los bloques que conforman el filtro, podemos pasar a simularlo utilizando los siguientes parámetros de simulación:

Parámetros de simulación	
Filtro de tercer orden + P.O.R.	
Idc	10uA
Vcm	-500mV
Vin	500mV
Vtun2	-300mV
VtunB	-300mV
Vy	-300mV
Rpas	18K Ω
C	7pF

Obtenemos la siguiente respuesta en frecuencia para el filtro:

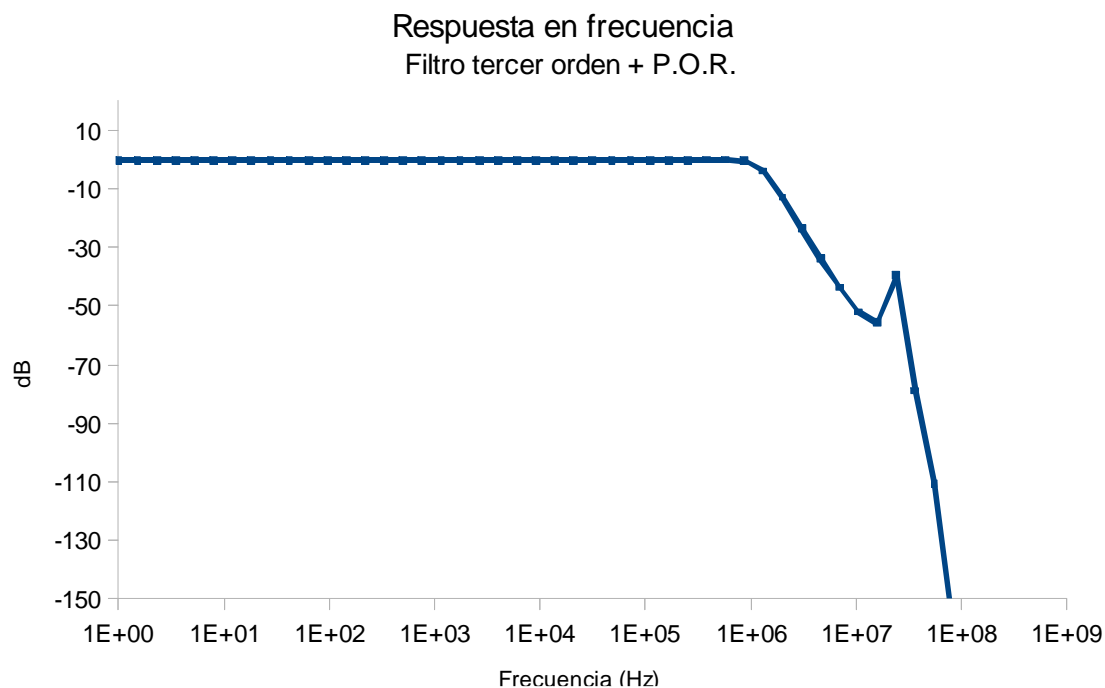


Figura 5.6. Respuesta en frecuencia del filtro de tercer orden con P.O.R.

Al igual que ocurría en el caso de no utilizar ninguna etapa de reset, la respuesta en frecuencia mantiene su forma paso bajo, y presenta un ancho de banda de 1.2 MHz, lo cual encaja en las posibles aplicaciones del filtro en cuestión.

Podemos observar cómo también la sintonía se implementa de manera correcta al variar el voltaje de sintonía “tun2”:

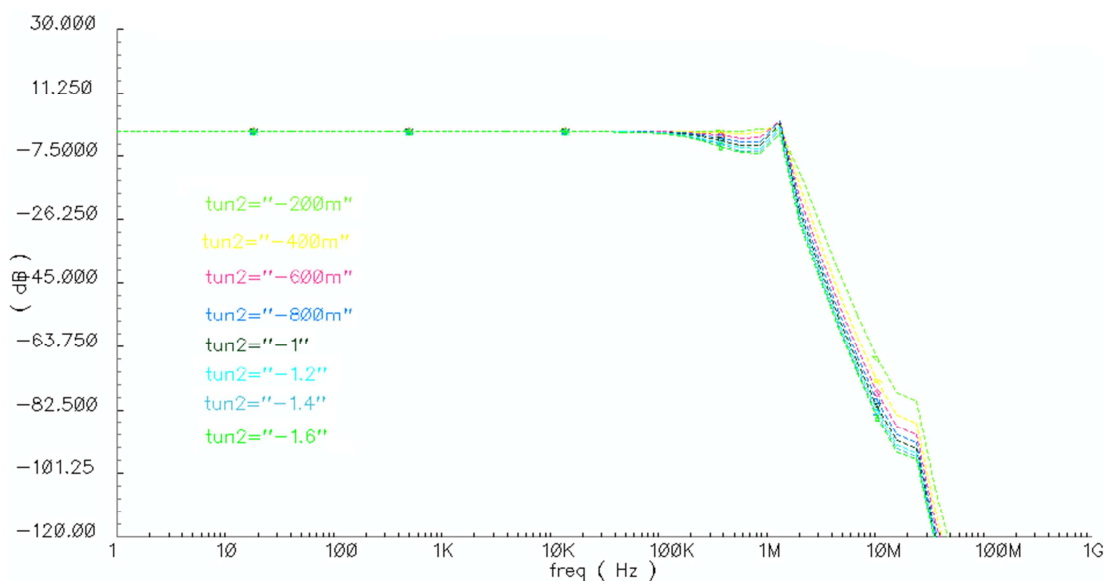


Figura 5.7. Sintonía del filtro de tercer orden con P.O.R:

Y más en detalle el rango de anchos de banda que podremos obtener:

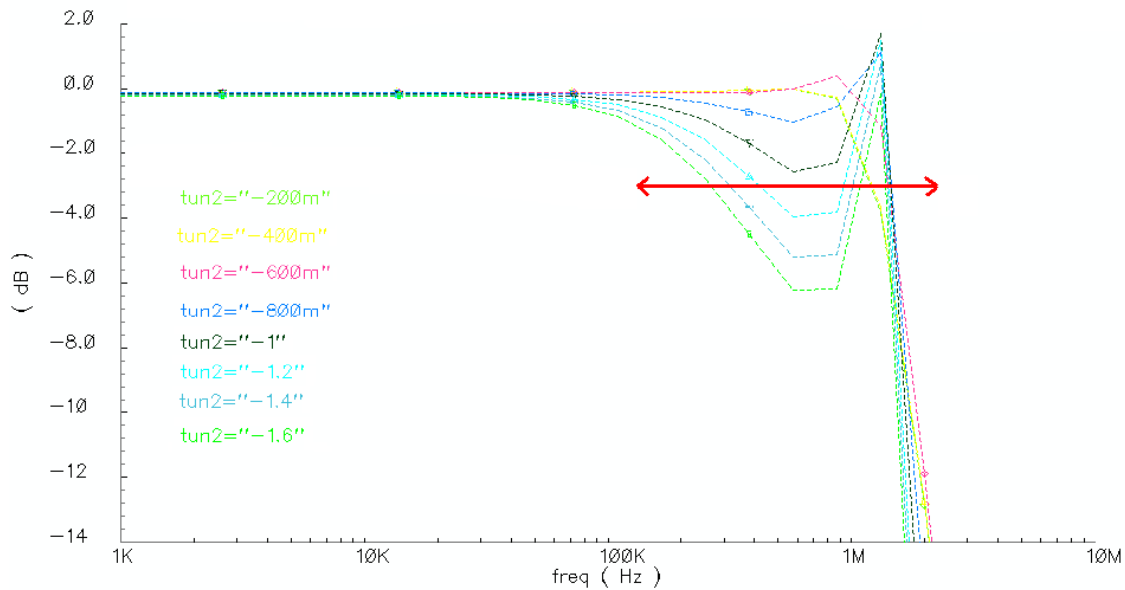


Figura 5.8. Detalle de sintonía del filtro de tercer orden con P.O.R.

La respuesta en frecuencia no se ve alterada respecto del resultado anterior por el uso de la etapa de reset, lo que implica que el problema del rizado en torno a las frecuencias de corte todavía no se ha arreglado por lo que el rango de anchos de banda es el mismo que en el caso anterior,

V _{tun2}	f _c
-1.6V	257,43KHz
-1.4V	315,9KHz
-1.2V	418,8KHz
-1V	1,45MHz
-0.8V	1,45MHz
-0.6V	1,41MHz
-0.4V	1,21MHz
-0.2V	1,19MHz

Sin embargo, lo que realmente nos interesa analizar de esta primera variante es la salida temporal. De acuerdo a lo visto en el apartado anterior, el uso de fuentes rampa añadía un transitorio muy largo a la señal de salida. Sin embargo, el uso de esta etapa

de reset elimina prácticamente por completo dicho transitorio, como podemos observar en la siguiente figura:

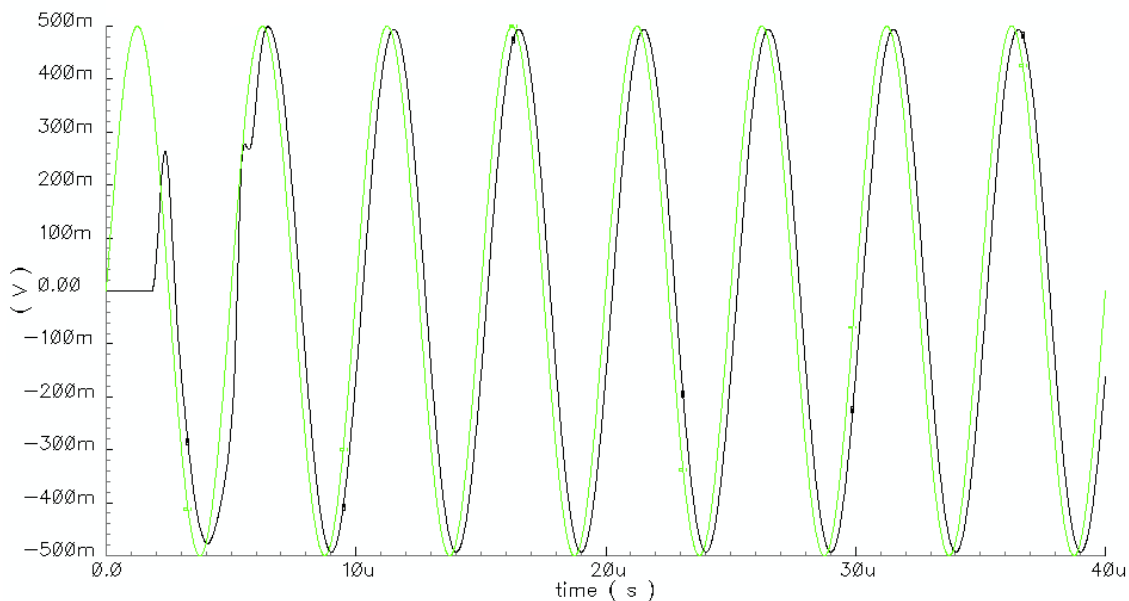


Figura 5.9. Señales de entrada y salida del filtro de primer orden con P.O.R.

La amplitud no llega a ser exactamente la de entrada, ya que la ganancia en la banda de paso del filtro es algo menor que 0dB, lo cual añade una pequeña atenuación a la señal de salida. Por otro lado, el nuevo periodo transitorio ahora dura en torno a 5μs. Se aprecia que la señal está algo desplazada en el tiempo, aunque estamos hablando de décimas de microsegundos.

En cuanto a la linealidad del filtro, en estas condiciones vamos a obtener un valor de **THD = -55.2dB**, un valor más bajo que los -50dB que teníamos de límite.

Es interesante observar cómo se comporta el filtro al variar la tensión de sintonía en cuanto a linealidad se refiere. Vamos a obtener una gráfica en la cual se represente el valor del THD para cada uno de los valores de sintonía antes utilizados:

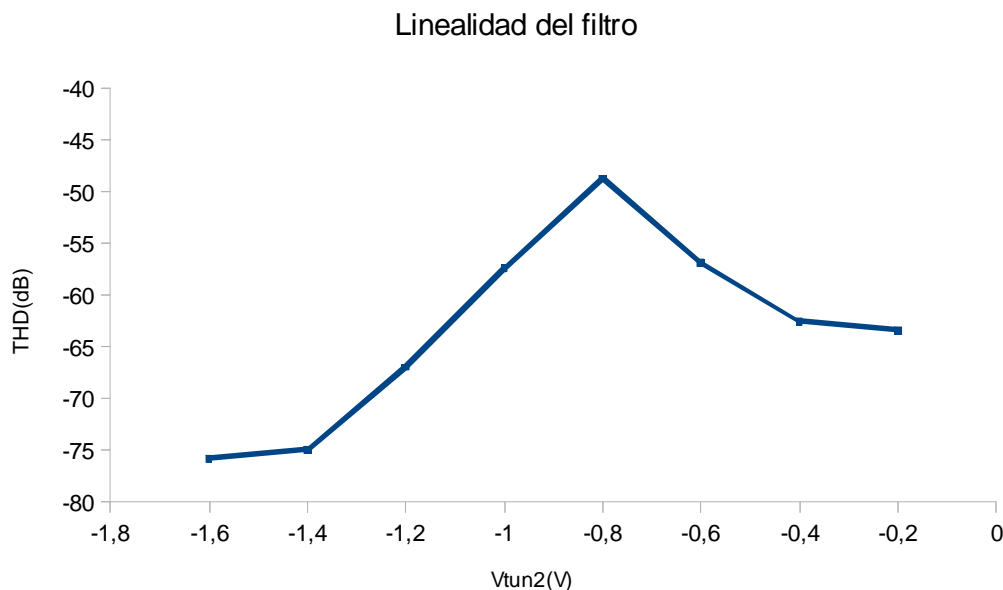


Figura 5.10. Linealidad del filtro de tercer orden con P.O.R. para el rango de sintonía.

Para todos los valores obtenemos una linealidad adecuada, con excepción del voltaje de sintonía que da un resultado de -49dB de THD. Este valor está por encima del valor mínimo necesario, pero al estar tan cerca de los -50dB especificados no es un gran problema.

También es importante ver cómo se comporta la linealidad en función de la amplitud de la tensión de entrada. Para ello, realizamos un barrido de esta amplitud y obtenemos la siguiente gráfica.

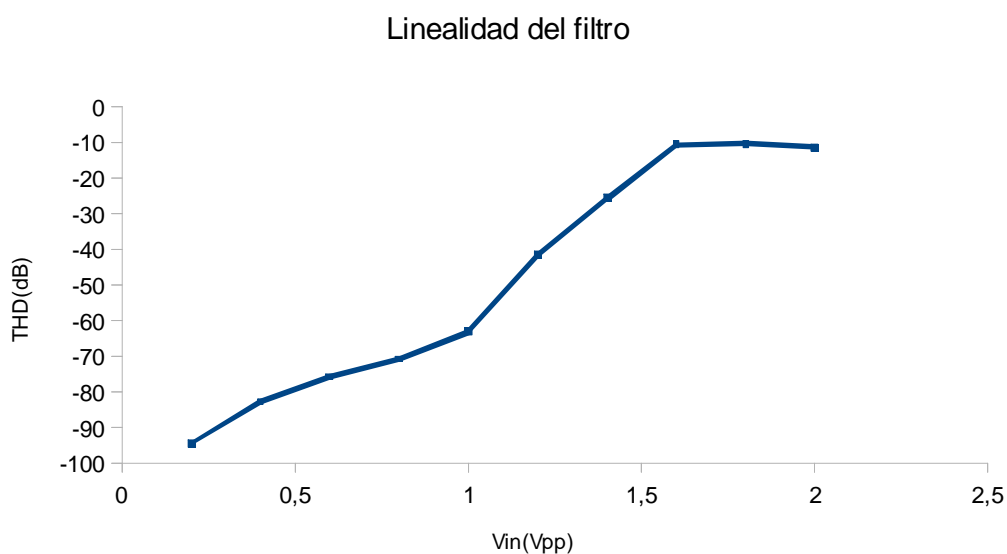


Figura 5.11. Linealidad del filtro de tercer orden con P.O.R. para diferentes valores de entrada.

Se observa que podemos trabajar con señales de hasta en torno a una amplitud de 1,2 Vpp. A partir de ese valor el valor del THD aumenta mucho sobrepasando con creces el valor mínimo de -50dB.

5.3.- Filtro de tercer orden paso bajo en inversión débil

En esta sección del filtro de tercer orden vamos a analizar cómo afecta que los transistores QFG estén trabajando en régimen de inversión débil.

Una vez realizados los cambios necesarios en cada uno de los QFG de todos los bloques que forman el filtro podemos pasar a simularlo con los siguientes parámetros:

Parámetros de simulación	
Filtro de tercer orden en inversión débil	
Idc	10uA
Vcm	-500mV
Vin	500mV
Vtun2	-300mV
VtunB	-300mV
Vy	-300mV
Rpas	18KΩ
C	7pF

Obtenemos la siguiente respuesta en frecuencia:

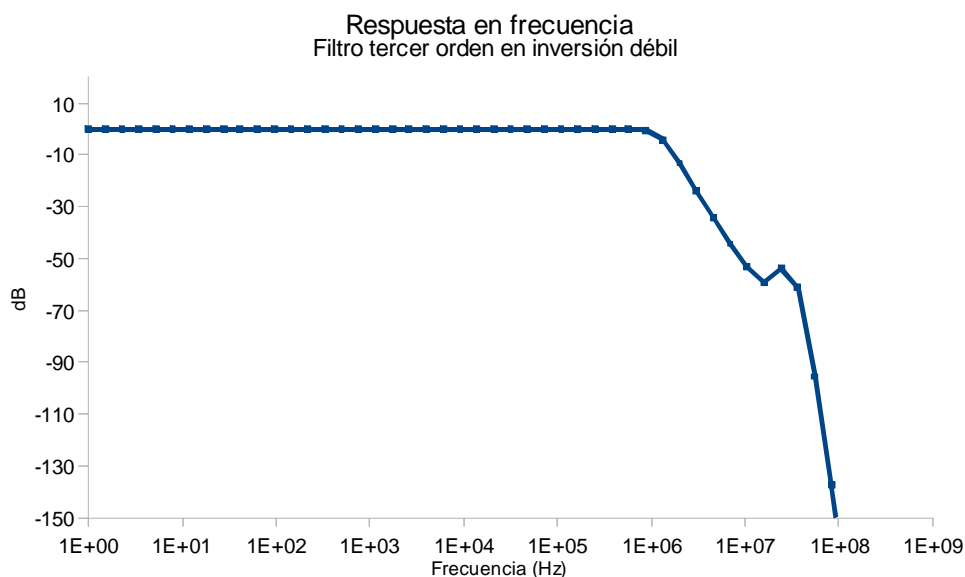


Figura 5.12. Respuesta en frecuencia del filtro de tercer orden en inversión débil.

Al igual que en los dos casos anteriores, obtenemos un ancho de banda de 1.2MHz, lo cual sigue siendo adecuado para las posibles aplicaciones del filtro en cuestión.

Comprobamos que la sintonía del ancho de banda funciona correctamente:

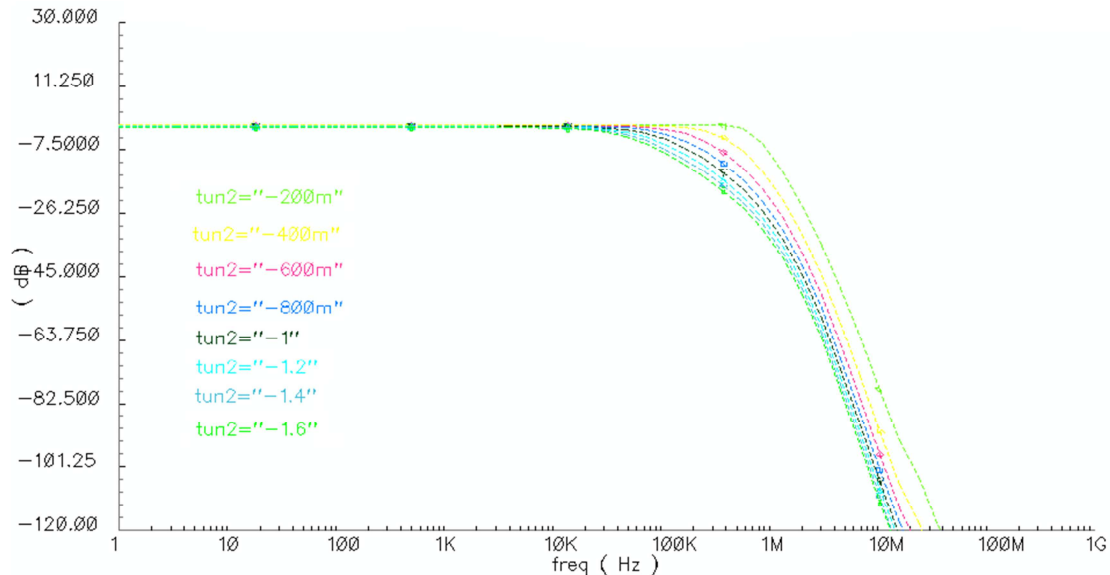


Figura 5.13. Sintonía del filtro de tercer orden con P.O.R:

Y podemos ver más en detalle el rango de los valores al variar el voltaje de sintonía “Vtun2”:

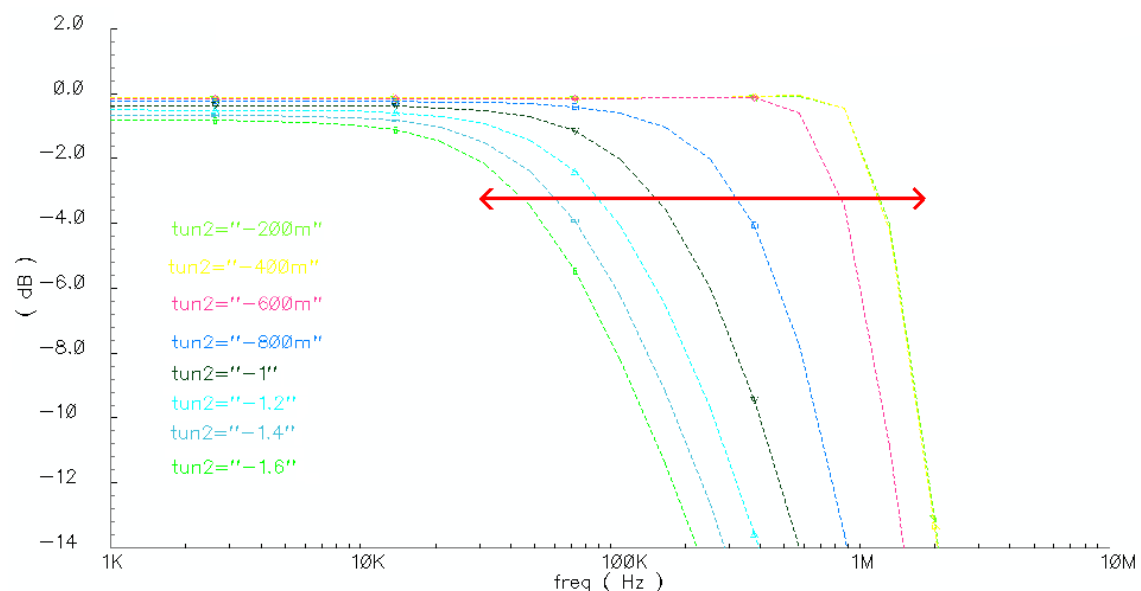


Figura 5.14. Detalle de sintonía del filtro de tercer orden en inversión débil.

La respuesta en frecuencia para los QFG operando en inversión débil ya no presenta el pico que aparecía en los otros dos casos anteriores, lo que es un gran avance ya que

nos da una sintonía gradual en el ancho de banda, lo cual no ocurriría en los dos casos anteriores. Así, en este caso el rango de frecuencias de corte para el filtro nos da los siguientes valores:

V_{tun_2}	f_c
-1.6V	98,9KHz
-1.4V	136,3KHz
-1.2V	207,6KHz
-1V	380,2KHz
-0.8V	872,8KHz
-0.6V	2,046MHz
-0.4V	2,76MHz
-0.2V	2,76MHz

Es importante notar que para el último valor del voltaje de sintonía el filtro deja de añadir un nuevo ancho de banda, por lo que el rango de sintonía para este caso será desde -0.4V a -1.6V.

Una vez más, lo realmente interesante del uso de la inversión débil es observar la salida temporal del filtro y su linealidad. Al igual que ocurría con el uso del circuito de Power-On Reset, el largo transitorio que aparecía en el primer caso estudiado desaparece casi por completo, obteniendo una salida como la que muestra la siguiente figura:

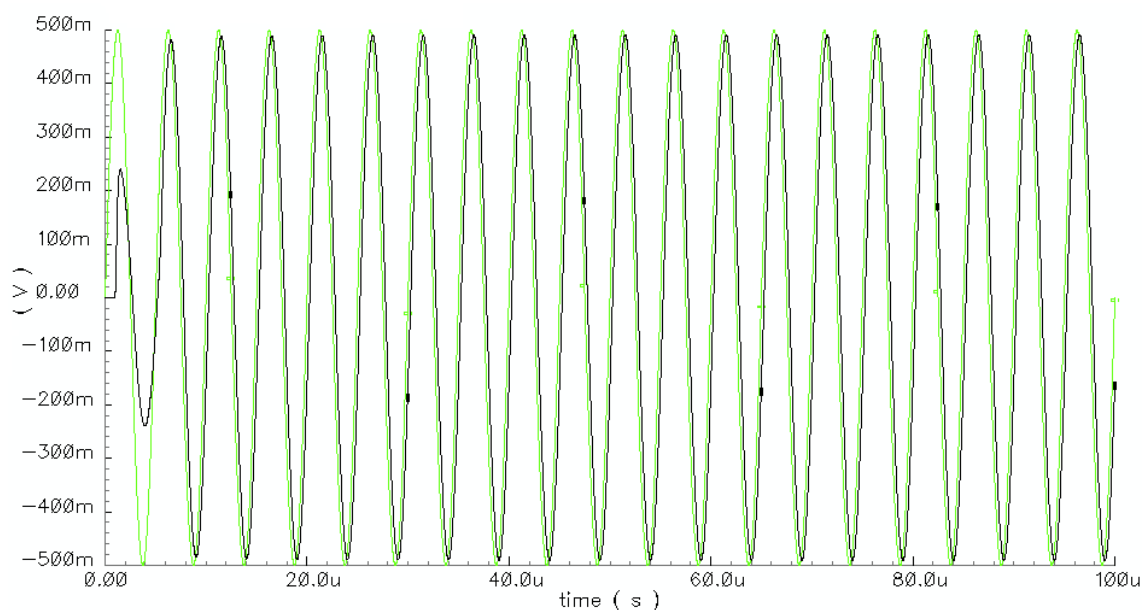


Figura 5.15. Señales de entrada y salida del filtro de primer orden en inversión débil

El tiempo que le cuesta a la señal adaptarse a la amplitud esperada es muy corto (del orden de microsegundos) y la salida está algo desfasada de la entrada (décimas de microsegundos); su amplitud no alcanza completamente la de la entrada por ser la ganancia en la banda de paso un poco menor de 0dB.

El valor que se obtiene para la linealidad en este caso es de **-70,34dB**, valor bastante más bajo que en el caso de usar el P.O.R. Comprobemos cómo se comporta la linealidad cuando variamos el voltaje de sintonía en el rango antes analizado:

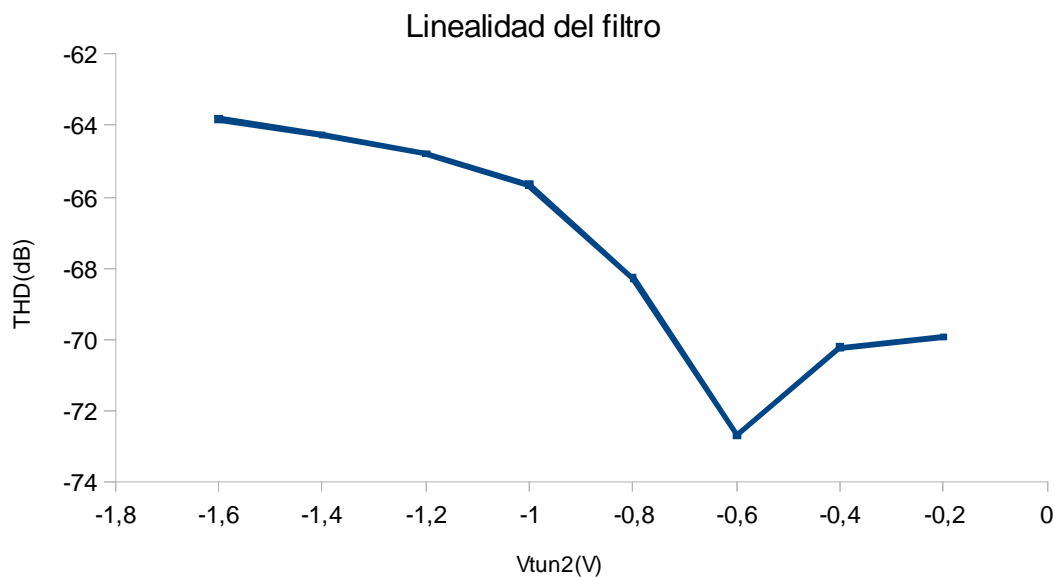


Figura 5.16. Linealidad del filtro de tercer orden en inversión débil para el rango de sintonía.

En este caso todo el rango de sintonía da valores correctos de linealidad, manteniéndose más de 10dB por debajo del límite de -50dB.

Por último, veamos qué rango de amplitudes de entrada es viable para el filtro manteniendo un valor de THD adecuado a la salida. Para ello, barremos la amplitud de entrada y calculamos la linealidad para cada uno de los valores:

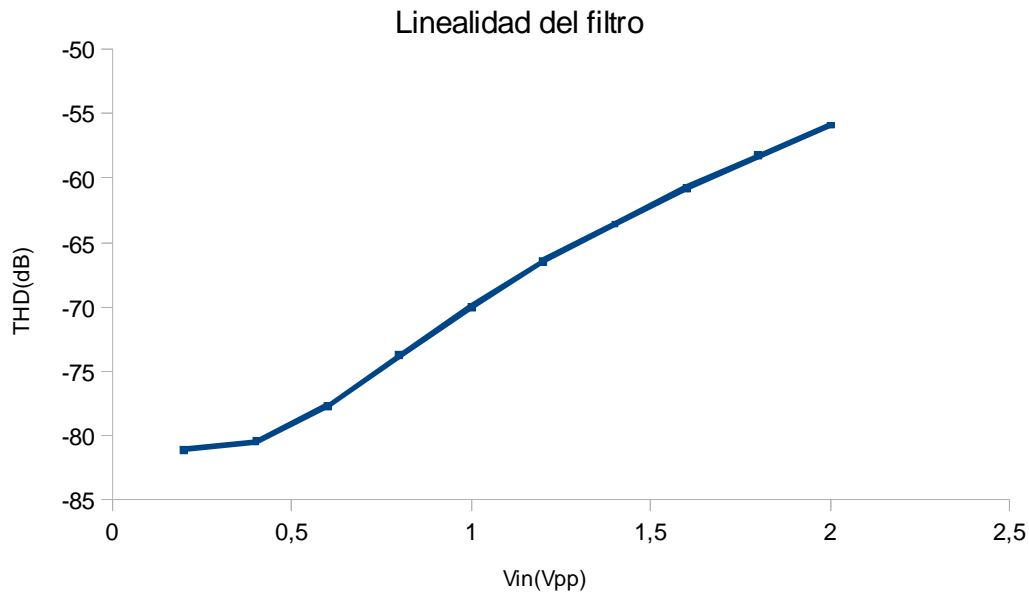


Figura 5.17. Linealidad del filtro de tercer orden en inversión débil para diferentes valores de entrada.

Puede observarse que todos los valores de amplitud medidos dan como resultado una linealidad correcta, por lo que incluso con señales de 2Vpp de amplitud el filtro funciona de manera correcta. Se ha podido comprobar que el valor máximo de la amplitud de entrada para el cual la linealidad es buena es 2.52 Vpp.

CAPÍTULO 6

VGA DE PRIMER ORDEN

Este capítulo tiene como objetivo analizar el impacto de las técnicas de reset en un amplificador de ganancia variable diseñado usando el transconductor ya descrito como bloque unitario.

En este capítulo vamos a analizar cómo afectan las etapas de reset que hemos estado utilizando a lo largo de las demás secciones, pero esta vez en un amplificador de ganancia variable (VGA) con ancho de banda constante y ajuste de ganancia continuo. Para ello, vamos a diseñar el siguiente circuito:

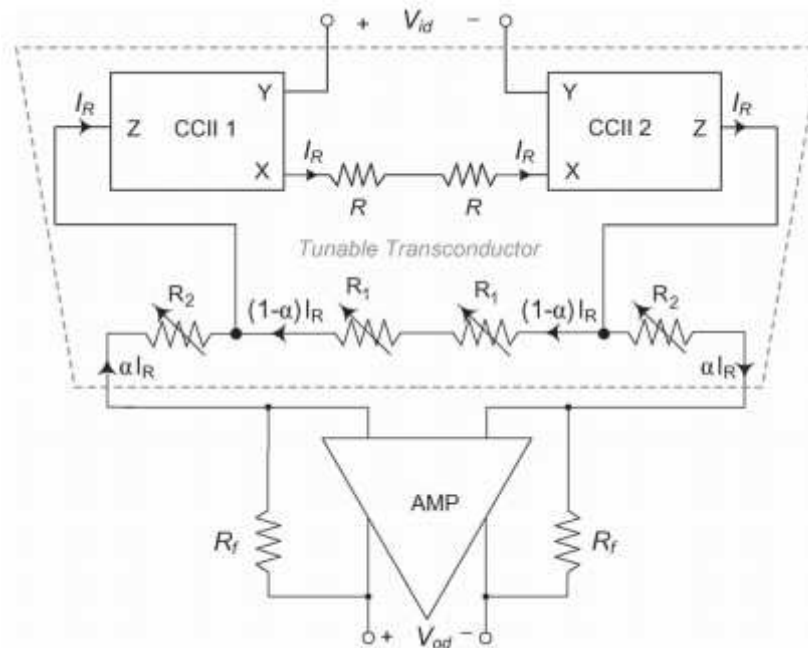


Figura 6.1. Diagrama de bloques del VGA de primer orden

El amplificador en cuestión está diseñado a partir de la conexión en cascada de un transconductor y un amplificador de transresistencia, lo que permite tener un ancho de banda constante independiente de la ganancia, ya que el ancho de banda de salida no depende de la transconductancia de la primera etapa ni de la resistencia de realimentación de la segunda. Además, esta topología permite a los dos circuitos operar con el máximo ancho de banda gracias a la tierra virtual que aparece en la entrada del amplificador y a la gran impedancia de salida del transconductor respectivamente. Lo que es más, gracias a dicha tierra virtual que aparece en la entrada del amplificador de transresistencia, pueden utilizarse transconductores con una menor impedancia de salida. Esto implica que el nodo de salida del transconductor es menos sensible al efecto de capacidades parásitas y al ruido.

El diseño del transconductor también puede verse en la figura anterior. Se puede observar que es el mismo transconductor que se utilizó en la implementación del filtro

de selección de canal de capítulos anteriores, el cual estaba basado en dos convectores de corriente de segunda generación y dos resistencias pasivas en serie. En la figura 6.2 se muestra un esquemático del CCII:

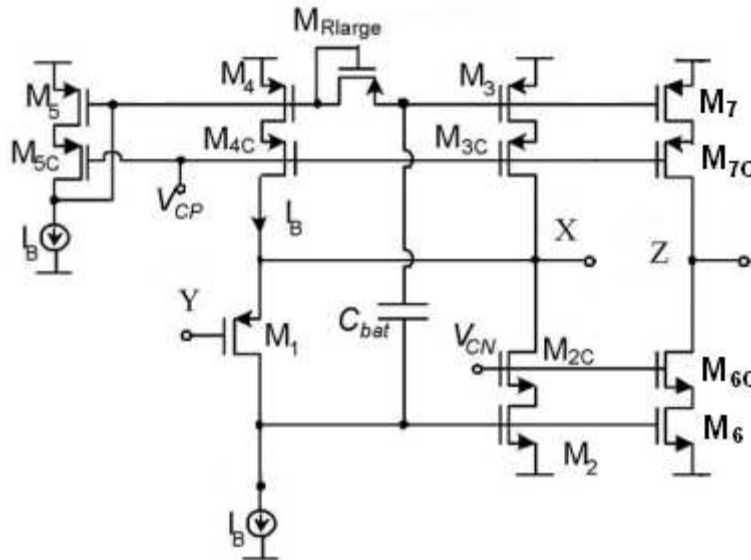


Figura 6.2. Esquemático del CCII a usar en el VGA

Como ya se explicó en el capítulo dedicado al transconductor, el CCII está formado por un seguidor de tensión en clase AB cuya corriente de salida es llevada a un nodo de salida de alta impedancia replicando la rama de salida del seguidor.

Como se muestra en la figura 6.1, se ha colocado un divisor resistivo sintonizable en los nodos Z de los CCII como elección para implementar la sintonía continua de transconductancia, y así conseguir ganancia variable en el VGA. Por último, la corriente de salida del divisor resistivo se aplica a un amplificador de transresistencia con resistencias de realimentación pasivas, R_f .

Volviendo al método de sintonía continuo mencionado, al igual que en el caso del filtro, las resistencias R_1 y R_2 forman un divisor resistivo, el cual controla la cantidad de corriente que fluye al amplificador de transresistencia, αI_R , donde α es:

$$\alpha = \frac{1}{1 + R_2 / R_1} \quad (6.1)$$

(NOTA: ¿por qué se numeran las ecuaciones si no se ha hecho hasta ahora?)

Así, la expresión para la transconductancia es:

$$G_m = \frac{2\alpha I_R}{V_{id}} = \frac{\alpha}{R} \quad (6.2)$$

La corriente αI_R fluyendo a través de la segunda etapa genera un voltaje de salida del VGA igual a:

$$V_{od} = 2\alpha I_R R_f \quad (6.3)$$

Finalmente, uniendo (1.2) y (1.3), la ganancia del VGA es:

$$A_{CL} = \alpha \frac{R_f}{R} \quad (6.4)$$

La cual puede ser ajustada de manera continua mediante α ($\alpha \leq 1$) y consecuentemente mediante los valores de R_1 y R_2 según indica (1.1). Estas resistencias han sido implementadas mediante transistores MOS trabajando en la región de triodo, que pueden ser sintonizados modificando sus tensiones en DC de puerta, $V_{tun1}=V_{tun3}$ y V_{tun2} . A pesar de usar resistencias activas, la linealidad no se ve afectada ya que la conversión V-I continúa realizándose en resistencias pasivas; los transistores en triodo solamente se utilizan para la división de corriente.

La segunda etapa del VGA es un amplificador de transresistencia de clase AB, como ya se mostró en la figura 6.1. La implementación a nivel de transistor de este circuito es mostrada en la figura 6.3. Mediante dos de estos amplificadores de transresistencia se formará un VGA con topología diferencial.

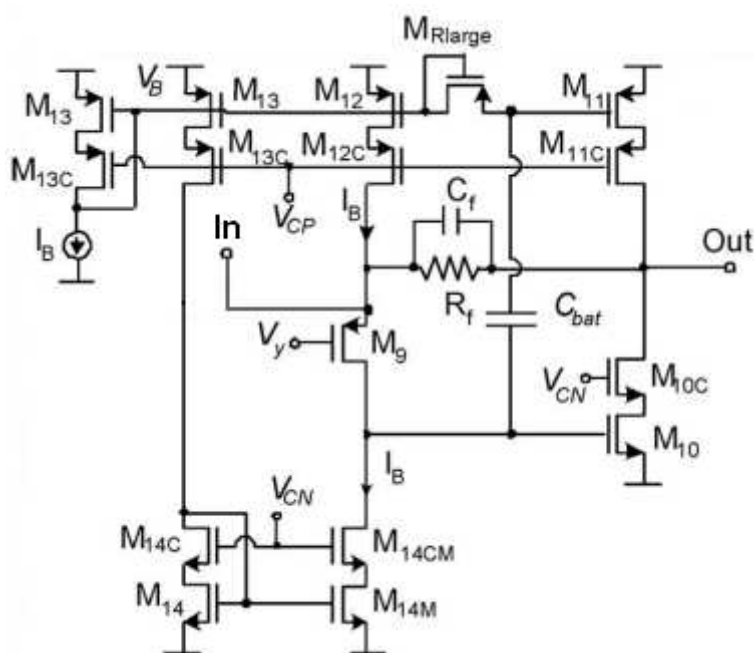


Figura 6.3. Esquemático del amplificador clase AB

La corriente de entrada se toma en el nodo de entrada de baja impedancia y es llevada a la resistencia R_f , produciendo la tensión de salida. Como ya mostramos en la ecuación (1.4), el valor de R_f determina la máxima ganancia del VGA. Nótese que el mismo amplificador de dos etapas utilizado en los seguidores de tensión del transconductor se usa para el amplificador de transresistencia. Sin embargo, en este caso es necesario usar compensación, ya que se incluye el condensador C_f . La entrada del amplificador (fuente de M9) es un nodo de tierra virtual con voltaje en DC $V_y + V_{SG9}$, donde V_y es un voltaje de polarización. Esto mejora la linealidad del divisor de corriente resistivo en la salida del transconductor y proporciona un voltaje de modo común estable a la salida tanto del transconductor como del VGA, haciendo innecesario el uso de un circuito CMFB y consecuentemente ahorrando potencia y área.

Combinando las dos etapas mostradas anteriormente, podemos obtener el esquemático completo del VGA:

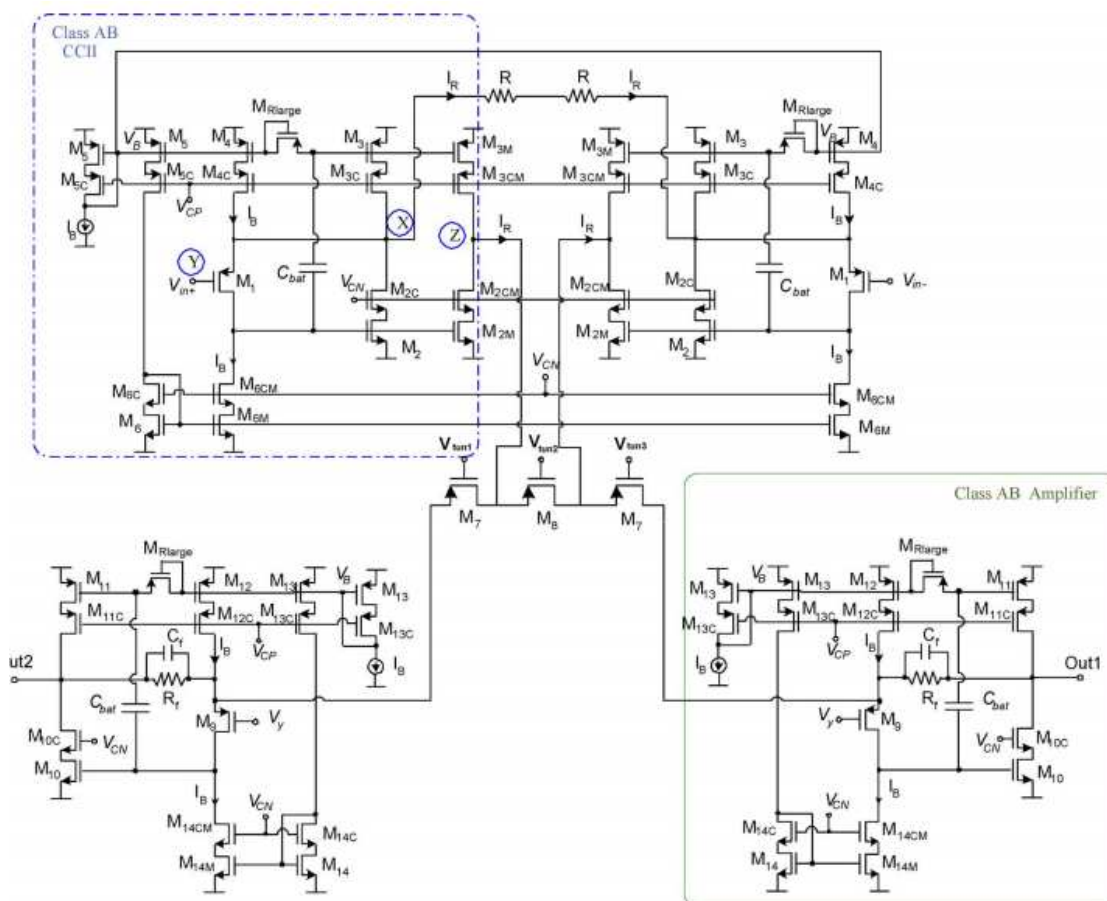


Figura 6.4. Esquemático del VGA completo

En primer lugar, vamos a analizar cómo funciona el VGA de primer orden sin etapa de reset, pero utilizando fuentes de alimentación de tipo “pulse”, las cuales se asemejan más a las fuentes de alimentación reales. Al usar fuentes rampa configuradas de tal forma que el voltaje comience valiendo 0V en el instante $t=0$, el simulador Cadence presenta errores de convergencia debidos a que en el instante inicial hay puntos del circuito que presentan un voltaje nulo (V_{ss} y V_{dd}) pero otros presentan voltajes no-nulos, como por ejemplo las alimentaciones V_{cn} o V_{cp} . Esto provoca que transistores tengan una tensión en la puerta no-nula mientras que su tensión en drenador o fuente es nula, haciendo que la herramienta software no converja. Para solucionar este problema, las fuentes de alimentación V_{dd} y V_{ss} deben configurarse de tal manera que en el instante inicial el voltaje sea, por ejemplo, 1 voltio, de manera que la transición se realice en lugar de 0V a 1.65V de 1V a 1.65V. Al tener un voltaje de 1V en todos los puntos del circuito en el instante inicial, ya no hay transistores con voltajes no-nulos de

puerta y voltajes nulos en drenador y/o fuente, lo que hace que los problemas de convergencia desaparezcan.

Otra manera de mejorar estos problemas de convergencia es sustituir todas las fuentes de tensión continua del circuito por fuentes rampa. Si hacemos esto, las fuentes de alimentación V_{dd} y V_{ss} podrán configurarse en lugar de 1V a 1.65V de alrededor de 100mV a 1.65V, haciendo más realista la simulación. Una vez solucionados los problemas de convergencia podemos pasar a simular.

6.1.- VGA de primer orden sin etapa de reset

Los parámetros de simulación para este circuito serán los siguientes:

Parámetros de simulación	
VGA primer orden	
R_{pas}	10K Ω
V_{CM}	-500mV
V_{IN}	70mV (140Vpp)
V_{tun2}	-400mV $\rightarrow G_{max}=20dB$
I_B	10 μ A
C_f	800fF

En la siguiente figura se observa cómo el VGA tiene un rango de ganancias que van de 0dB a 20dB, en función del valor que tome el voltaje de sintonía V_{tun2} .

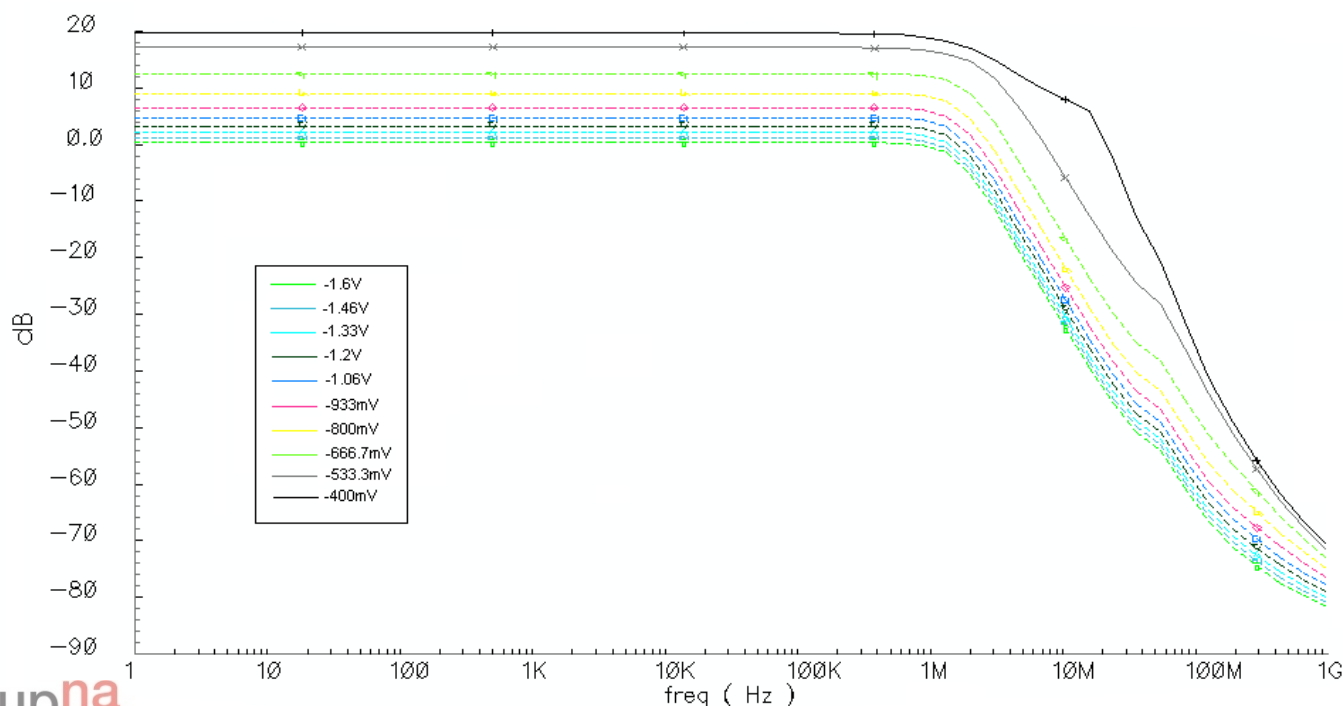


Figura 6.5. Respuesta en frecuencia en función de " V_{tun2} " para el VGA sin etapa de reset.

El valor del voltaje de sintonía más bajo ($V_{tun2} = -1.6V$) da lugar a una ganancia de 0dB en la banda de paso y va creciendo hasta 20dB a medida que el voltaje de sintonía crece hasta $-400mV$. Es interesante observar como el ancho de banda se mantiene constante para todo el rango de ganancias, uno de los objetivos del diseño de este amplificador, siendo de un valor de alrededor de 2MHz para una caída de 3dB.

Además de la ganancia variable, es interesante ver si el uso de tecnologías QFG hacen que la salida del amplificador presente un periodo transitorio hasta que la amplitud de la señal alcance el valor que debería (en este caso 20dB más que la entrada) al usar fuentes de alimentación reales. En la siguiente figura podemos observar ambas señales:

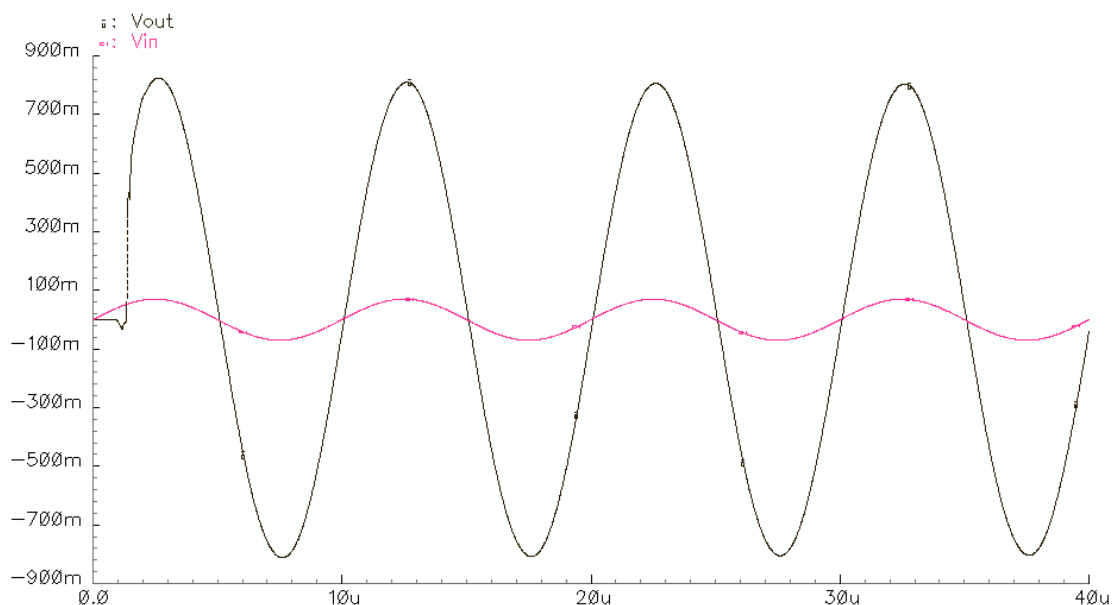


Figura 6.6. Señales de entrada y salida del VGA sin etapa de reset.

Podemos ver que en los primeros instantes la señal de salida presenta un comportamiento algo extraño, pero rápidamente la señal se estabiliza y la amplitud de salida está en torno a los 700mV; la amplificación esperada (100 veces la señal de entrada).

En cuanto a la linealidad de esta señal de salida, el valor es adecuado ya que con los valores antes presentados se obtiene un valor de **THD= -58.8 dB**. A pesar de haber obtenido un valor bueno para la linealidad con los valores anteriores, si aumentamos la amplitud de la señal de entrada el valor de THD crece rápidamente, sobrepasando los $-50dB$ mínimos. Podemos verlo en la siguiente figura:

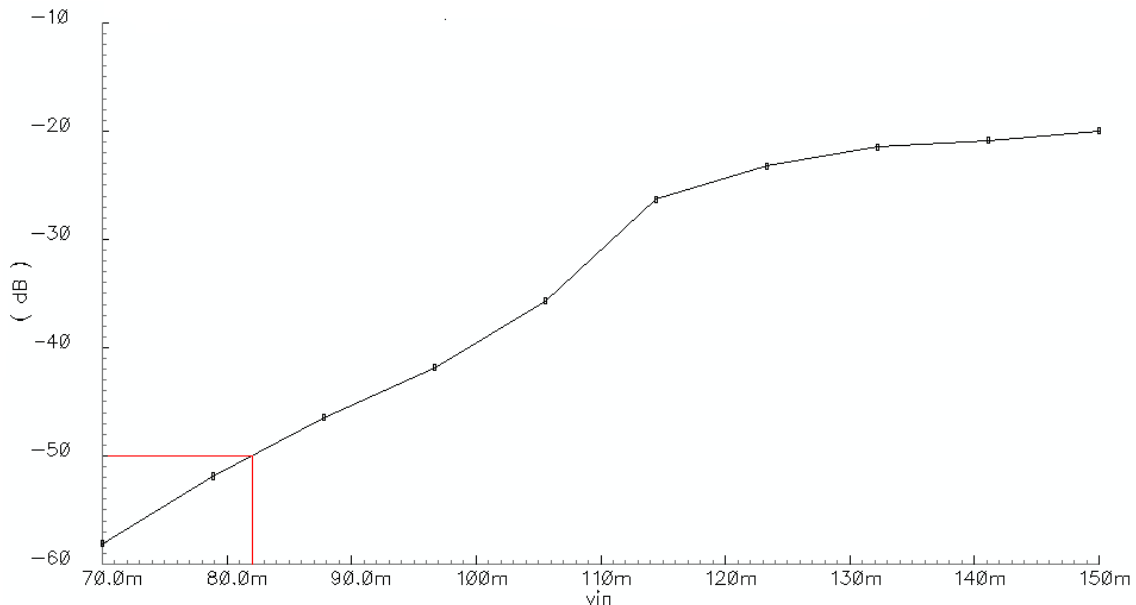


Figura 6.7. Linealidad en función de la amplitud de entrada para el VGA sin etapa de reset.

A partir de los 82mV de amplitud en la señal de entrada, la distorsión en la señal de salida crece por encima de los -50dB mínimos, por lo que ese será el máximo valor que podremos admitir en la señal de entrada al amplificador.

Una vez analizado el comportamiento del VGA inicial con fuentes reales, vamos a añadir etapas de reset, para estudiar cómo mejoran la linealidad y los periodos transitorios del mismo.

- Para el uso de una etapa de Power On Reset, las puertas de todos los transistores QFG que implementan las resistencias de gran valor deben desconectarse de su drenador, de manera que se conecten a la salida del circuito P.O.R. que ya explicamos en la sección correspondiente.
- Por otro lado, para forzar a los transistores QFG a trabajar en inversión débil, debemos añadir un nuevo transistor a cada uno de los QFG, de manera que controlemos la tensión en la puerta de los mismos, para hacer que trabajen en el régimen de inversión moderada ya expuesto.

6.2.- VGA de primer orden con P.O.R.

En primer lugar vamos a analizar cómo afecta el uso de la etapa Power-On Reset en este VGA. Una vez realizados los cambios necesarios se simula el circuito con los siguientes parámetros:

Parámetros de simulación	
VGA primer orden + P.O.R.	
R_{pas}	10K Ω
V_{CM}	-500mV
V_{IN}	70mV (140Vpp)
V_{tun2}	-400mV \rightarrow $G_{max}=20$ dB
I_B	10 μ A
C_f	800fF

Al igual que en el caso anterior, vamos a comprobar que el amplificador trabaja entre 0 y 20 dB de ganancia para diferentes valores del voltaje de sintonía V_{tun2} . Así, obtenemos la siguiente figura:

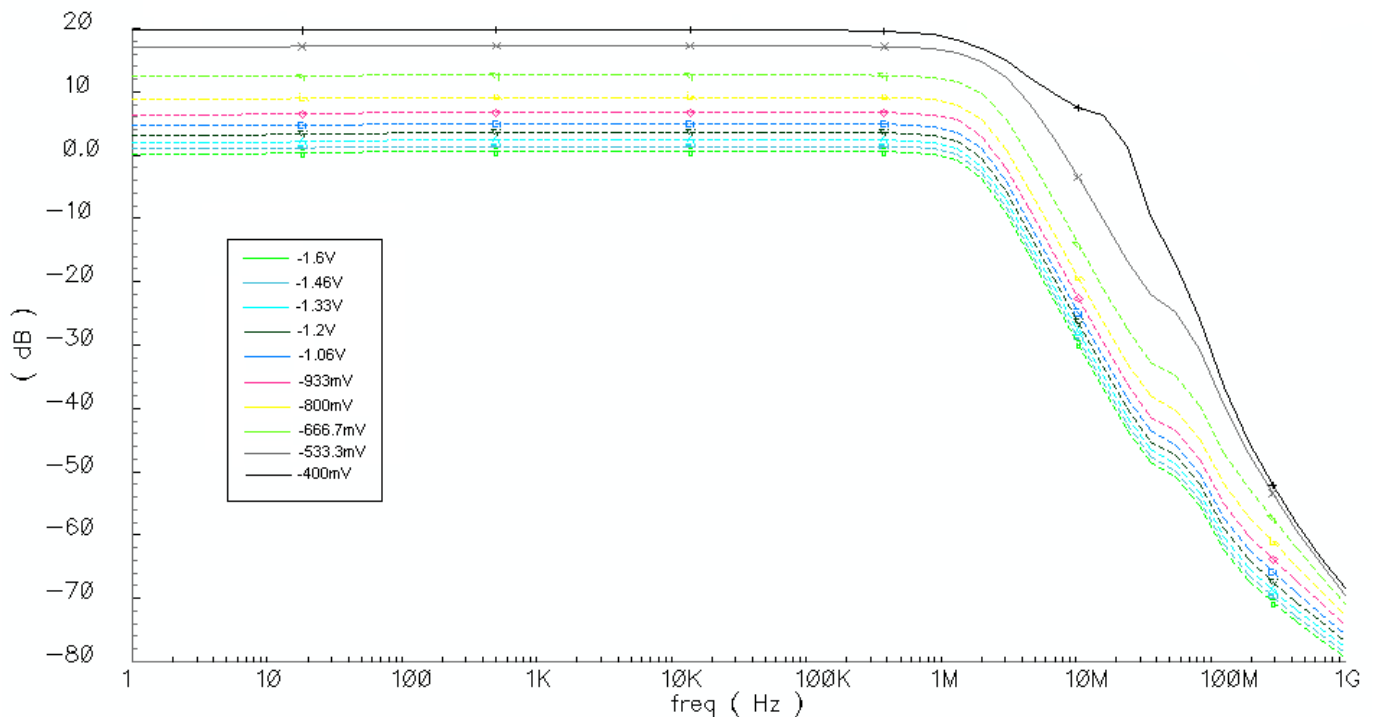


Figura 6.8. Respuesta en frecuencia en función de “ V_{tun2} ” para el VGA con P.O.R.

La respuesta en frecuencia para los diferentes valores de sintonía es prácticamente igual que para el caso de no usar el Power-On Reset.; aparece la sintonía en ganancia de 0 a 20 dB para el rango de tensiones V_{tun2} de $-1.6V$ a $-400mV$ y el ancho de banda se mantiene constante para todos estos valores e independiente de la ganancia.

El uso de la etapa de Power-On Reset en este amplificador no va a eliminar periodos transitorios largos como en el filtro, ya que ahora el uso de las tecnologías QFG no tiene un impacto tan fuerte. Podemos comprobar que el transitorio que sufre la señal amplificada es igual de corto que en el caso de no usar ninguna etapa de reset:

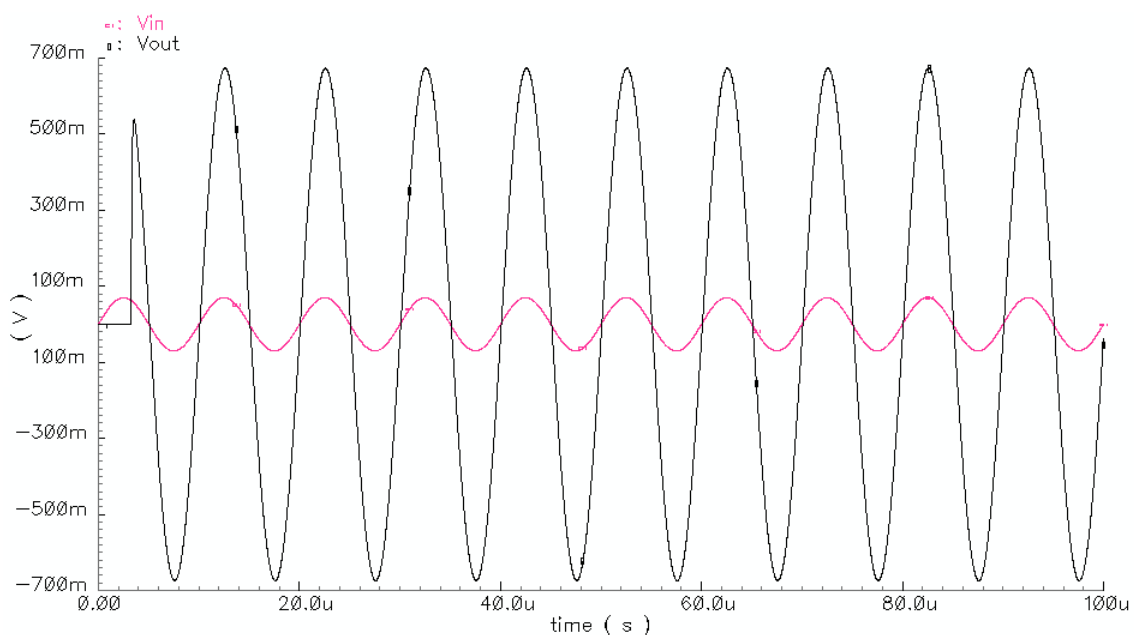


Figura 6.9. Señales de entrada y salida del VGA con P.O.R.

Sin embargo, otro de los objetivos de las etapas de reset es mejorar la linealidad de la señal de salida. En nuestro caso, si calculamos la linealidad para esta señal de salida obtenemos un valor de **THD=-94.4dB** el cual es mucho mejor que el obtenido para el VGA sin etapa de reset. El tener este valor tan bajo con una tensión de entrada de 70mV, permite que el amplificador pueda trabajar en un rango de tensiones de entrada mucho mayor que en cuando no usábamos el P.O.R., como podemos observar en la siguiente figura:

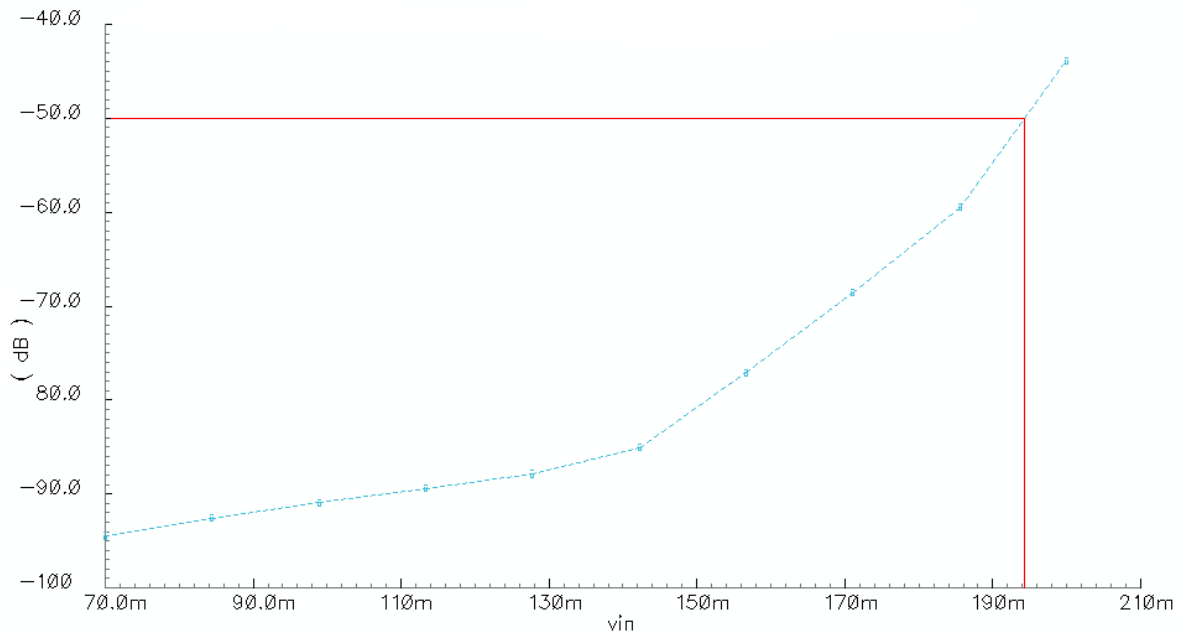


Figura 6.10. Linealidad en función de la amplitud de entrada para el VGA con P.O.R.

Podemos ver que ahora el valor de THD mínimo (-50dB) se supera para amplitudes de entrada mayores de 192mV. Comparándolo con el resultado del rango máximo de amplitudes de entrada del VGA sin etapas de reset, se ha conseguido una mejora más que evidente.

6.3.- VGA de primer orden en inversión débil

Por último, nos queda analizar el circuito haciendo que los transistores QFG trabajen en régimen de inversión débil. Siguiendo con el orden de las etapas anteriores, vamos a realizar una simulación con los siguientes parámetros:

Parámetros de simulación	
VGA primer orden en inversión débil	
R_{pas}	10K Ω
V_{CM}	-500mV
V_{IN}	70mV (140Vpp)
V_{tun2}	-400mV \rightarrow $G_{max}=20dB$
I_B	10 μ A
C_f	800fF

El funcionamiento en cuanto a respuesta en frecuencia se mantiene respecto a las anteriores etapas; aparece una ganancia variable entre 0 y 20 dB según variamos el voltaje de sintonía. Podemos observarlo en la siguiente figura:

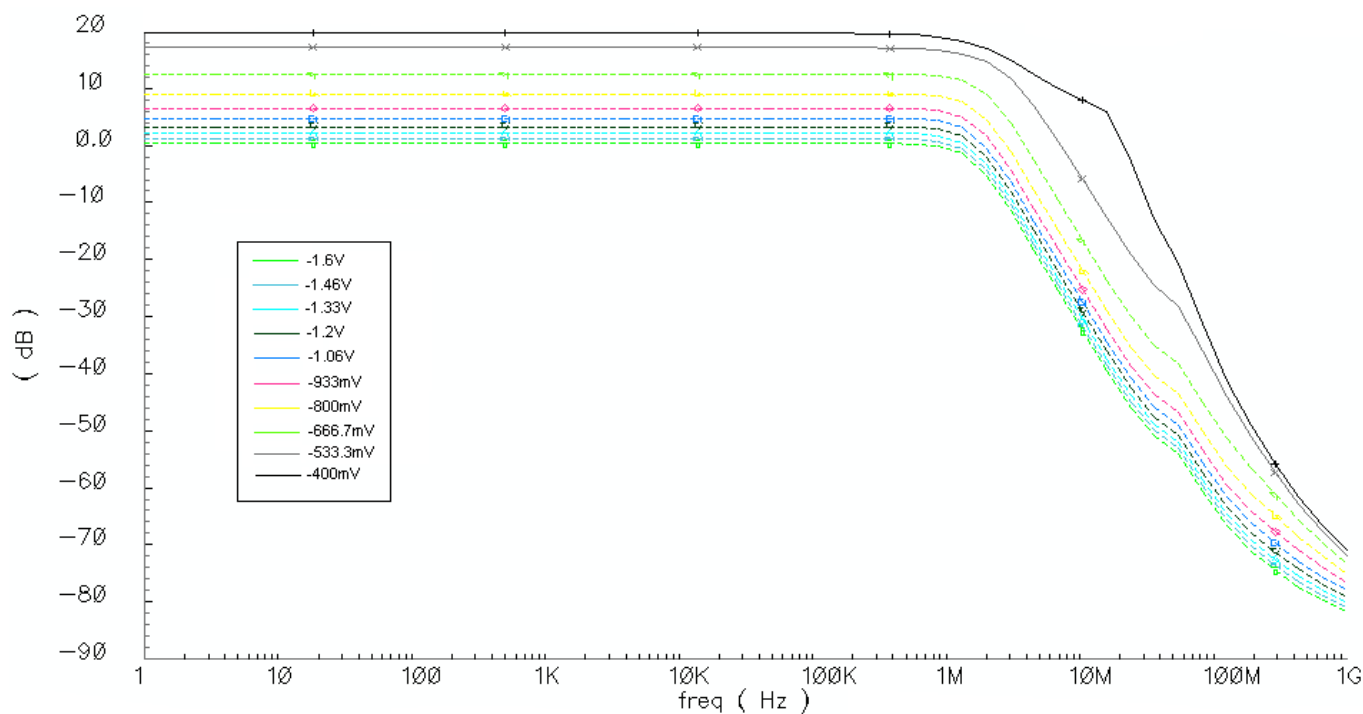


Figura 6.11. Respuesta en frecuencia en función de “ V_{tun2} ” para el VGA en inversión débil.

Al igual que ocurría en el caso de usar el P.O.R., el transitorio de la amplitud de la señal amplificada se mantiene en una duración muy corta, de manera que en ese aspecto el trabajar en inversión débil no mejora respecto a no usar etapas de reset. La siguiente figura muestra la señal de entrada frente a la señal de salida para el caso de ganancia máxima:

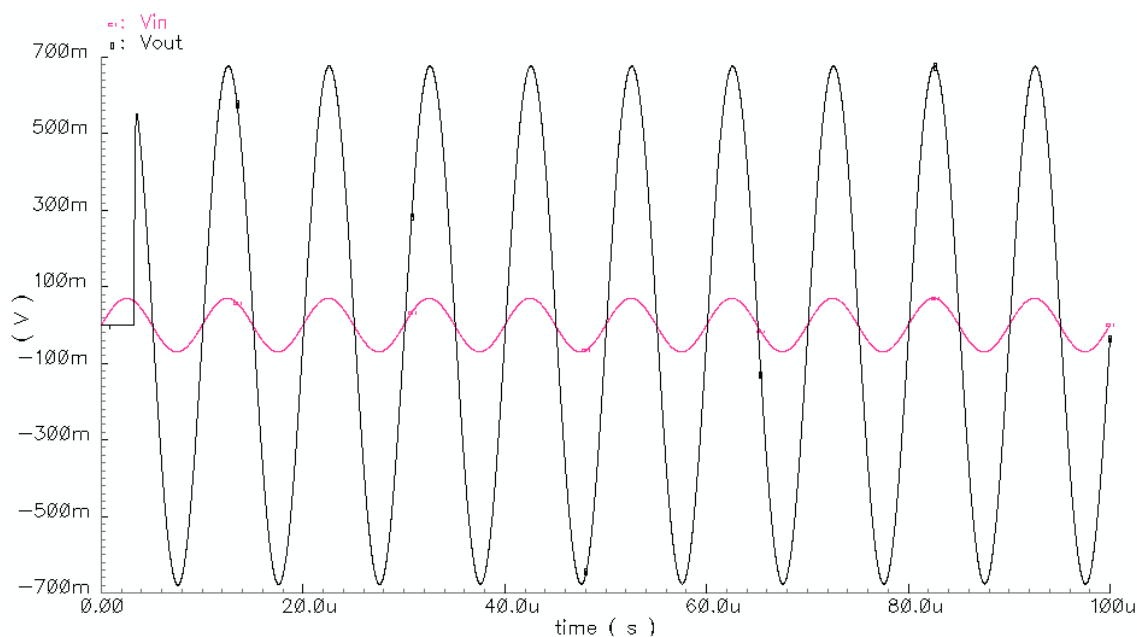


Figura 6.12. Señales de entrada y salida del VGA en inversión débil.

El uso de la inversión débil mantiene la linealidad de la señal de salida, dando lugar a un valor de **THD=-94,46dB** para los valores de simulaciones antes mostrados. El valor sigue siendo realmente bajo para 70mV, de manera que el rango de amplitud de la señal de entrada es muy parecido que en el caso de usar solamente el P.O.R. y mucho mayor que cuando no se usan etapas de reset:

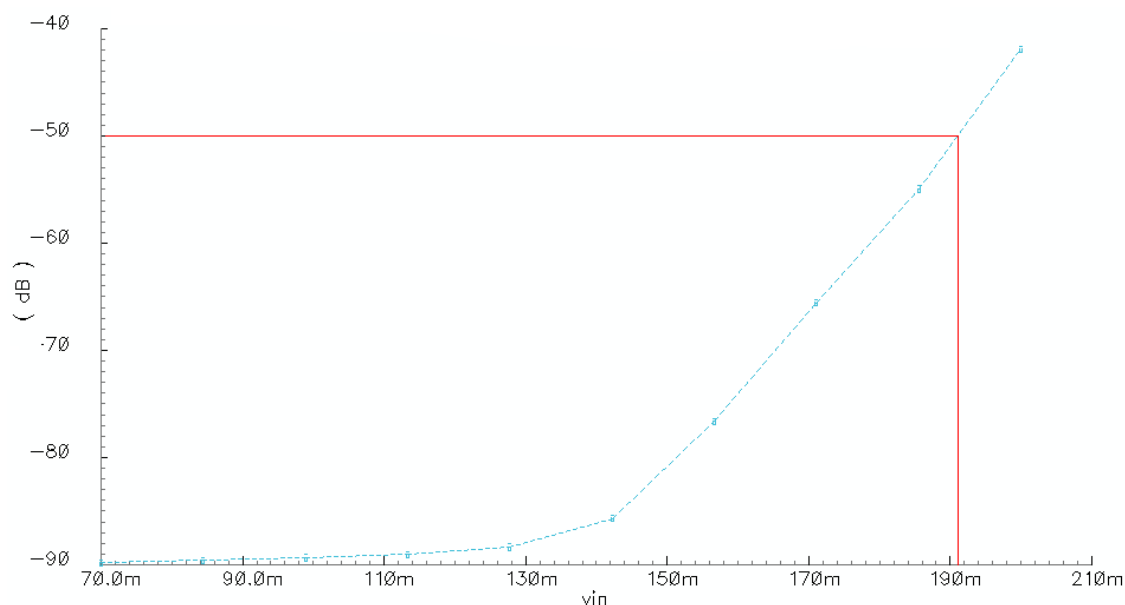


Figura 6.13. Linealidad en función de la amplitud de entrada para el VGA en inversión débil.

El rango de amplitudes de la señal de entrada para este circuito se mantiene parecido al caso de usar solamente el P.O.R., es decir, las amplitudes viables son aquellas por debajo de 192mV.

CAPÍTULO 7

LAYOUTS

Este capítulo se va a centrar en algunas de las técnicas que se han empleado para desarrollar los layouts de los distintos circuitos. También se van a mostrar los layouts realizados o detalles interesantes de los mismos.

7.1.- Técnicas de layout

En primer lugar, es importante notar que la tecnología de la que se ha dispuesto para la realización de los layouts es la estándar CMOS 0.5 μ m que es de pozo N o de sustrato P. Esto implica que para realizar el layout de los diferentes transistores, los nMOS se podrán hacer directamente sobre el sustrato P pero los pMOS tendrán que fabricarse en el interior de un pozo tipo N.

Hay una serie de factores a tener en cuenta a la hora de realizar el layout de un circuito. De hecho, no es posible recrear la misma disposición de los componentes que aparece en el esquemático ya que tras la fabricación esto podría hacer que los resultados de las medidas no coincidieran con los resultados de simulación y por tanto que el chip no funcionara correctamente.

Lo primero que debe hacerse antes de comenzar con el layout, es detectar los componentes del circuito que deben ser iguales. Hay componentes en un circuito que necesariamente deben ser iguales ya que la operación tiene que ser exactamente igual. Esto ocurre en transistores que formen parte de un espejo de corriente, transistores que formen un par diferencial, resistencias con valor similar a lo largo de todo el circuito o condensadores que se encuentren a la salida de un circuito de salida diferencial.

La idea fundamental para que dos componentes sean iguales y se comporten de la misma manera, no es únicamente que presenten las mismas dimensiones, sino que también tengan una misma orientación y entorno. Además hay que colocarlos lo más cerca posible entre ellos, aunque el esquemático aparezcan muy alejados uno del otro. Una técnica de layout que permite mejorar el *matching* de distintos componentes (el grado de igualdad entre ellos) especialmente de transistores y resistencias, es las técnicas de interdigitado. Consiste en dividir el transistor (u otro componente) en varios trozos o componentes más pequeños, de manera que luego se entrelazan las partes que conforman los componentes que se pretende que sean iguales. De esta manera se consigue una homogeneidad mayor entre ellos.

Otra técnica que puede emplearse para proporcionar un mismo entorno a los diferentes componentes con intención de que estos sean iguales es la colocación de componentes *dummy*. Si, por ejemplo, para crear un número de componentes iguales estos se van colocando en paralelo, cada uno de ellos estará rodeado a izquierda y

derecha por uno exactamente igual, de manera que todos tendrán el mismo contorno. El problema aparece en los componentes de los extremos, ya que solamente tendrán uno de sus lados rodeado por un componente igual a ellos. Para evitar esta falta de homogeneidad, se colocan otros dos componentes iguales a ambos lados de los que previamente eran los extremos, pero se cortocircuitan de manera que no operen y solamente sirvan para homogeneizar el contorno y conseguir que todos estén rodeados de la misma manera. Estos componentes añadidos son los que reciben el nombre de *dummy*. Esta técnica puede utilizarse tanto con transistores como resistencias o condensadores.

Por último, es conveniente rodear cada componente del layout por una serie de conexiones a sustrato de forma que todos tengan alguna próxima, ya que estas actuarán como protección y van a fijar de manera más exacta la tensión del terminal de *bulk* en el caso de transistores nMOS.

Una vez que se ha finalizado el layout, utilizando las técnicas vistas y cumpliendo las normas de diseño establecidas, ya se puede introducir el *frame* de un chip para mandarlo a fabricar.

7.2.- Layouts realizados

Con la intención de añadir un layout a modo de cierre de este proyecto, se ha propuesto la realización del layout del circuito de Power-On Reset presentando en el capítulo 2, que responde al siguiente esquemático:

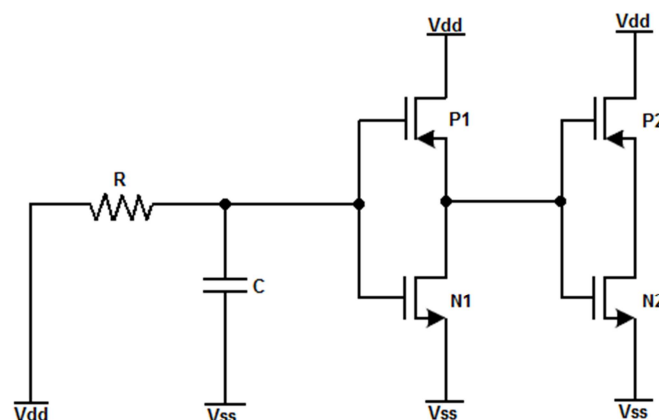


Figura7.1. Esquemático del circuito P.O.R.

El

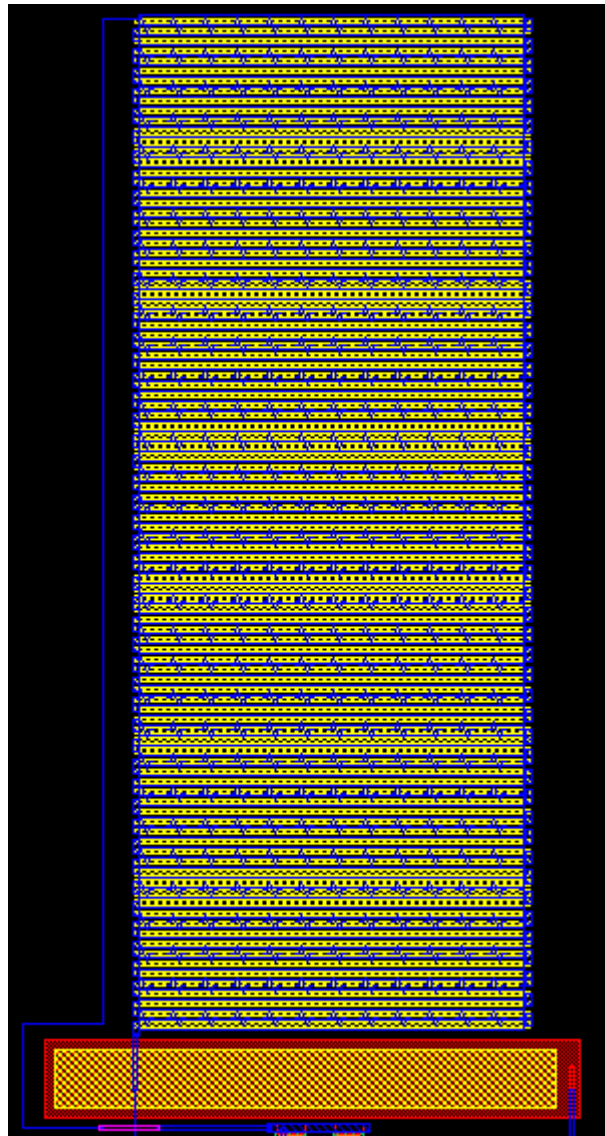


Figura7.2. Layout final del P.O.R.

El hecho de que la resistencia que estamos usando tiene un valor de $10\text{M}\Omega$ hace que el área necesaria para fabricarla de manera integrada sea mucho mayor que la usada tanto en los transistores como en el condensador. La técnica que se ha utilizado para obtener este valor de resistencia es la de conectar varias resistencias de menor valor en forma de *serpentina* de manera que la longitud no sea increíblemente grande. Podemos ver unos cuantos “ciclos” de esta resistencia en la siguiente figura:

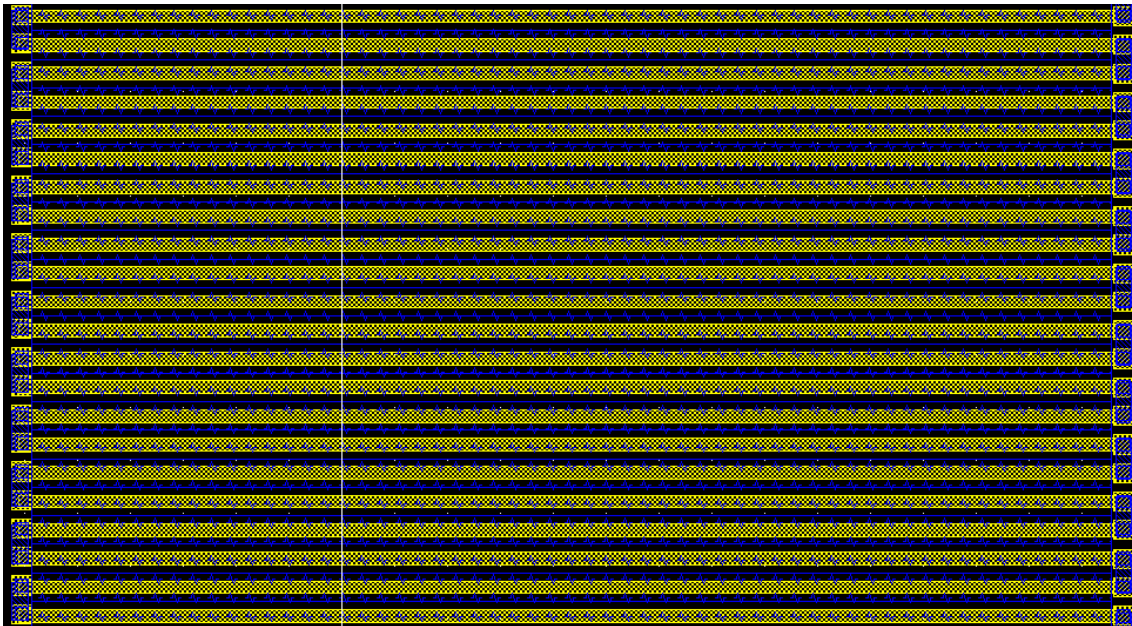


Figura7.3. Detalle de la conexión en serpentina para la resistencia

De esta manera, hemos creado resistencias integradas de menor valor e interconectándolas como se ve en la figura superior obtenemos el valor final deseado.

Al igual que la resistencia, el condensador necesario para el circuito de Power-On Reset ocupa un área relativamente grande, ya que su valor debe ser de 1pF. Podemos verlo en la siguiente figura:

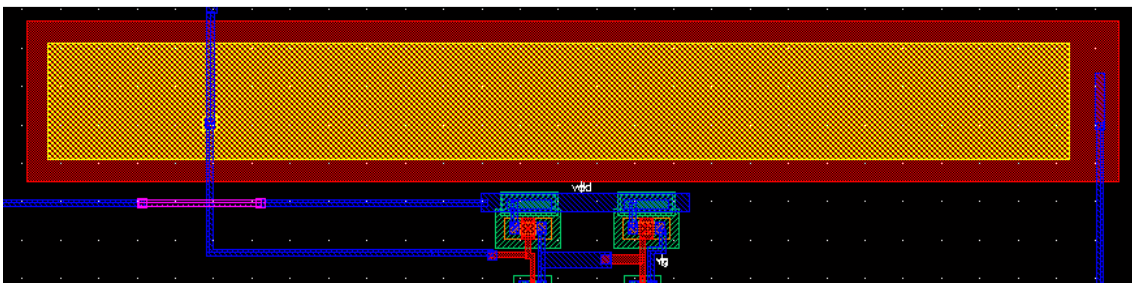


Figura7.4. Layout del condensador creado

Puede observarse que el área utilizada para implementar este condensador es mucho mayor que las dos parejas de transistores que conforman los dos inversores en serie del P.O.R.

Por último, se han implementado los dos inversores en serie, a partir de dos transistores nMOS y dos transistores pMOS tal y como mostraba la figura 7.1.

En la siguiente figura podemos observar el layout de los transistores que forman el P.O.R.:

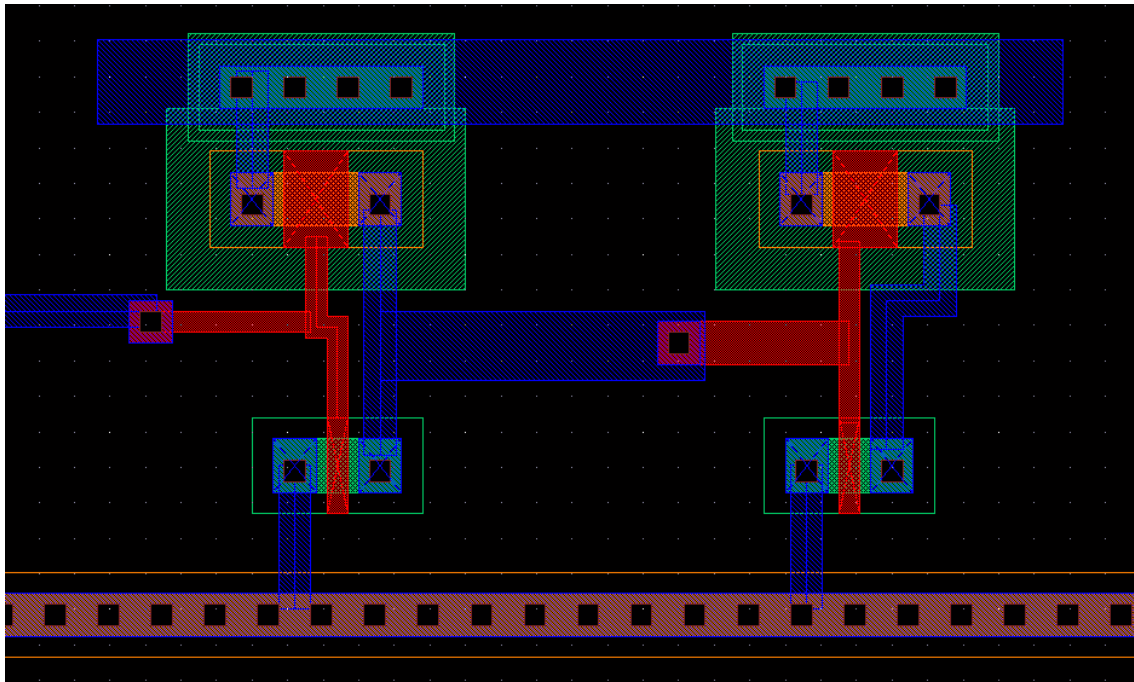


Figura7.5. Detalle del layout de los transistores del P.O.R.

Puede observarse como la conexión entre las puertas se hace mediante una capa de polisilicio (capa roja) mientras que la conexión entre drenadores y fuentes se realiza en metal (capa azul).

CAPÍTULO 8

CONCLUSIONES Y LÍNEAS FUTURAS

Este capítulo va a mostrar las conclusiones extraídas a lo largo de la realización de todo el proyecto, y a su vez presentar futuras líneas de trabajo a modo de guía.

8.1.- Conclusiones

A partir de todo el trabajo realizado, podemos extraer las siguientes conclusiones:

- Se ha diseñado un circuito transconductor a partir de CCIs y resistencias pasivas que se ha utilizado como celda básica para la creación de bloques más complejos como filtros o amplificadores.
- Con el objetivo de tener un bajo consumo de potencia, ha sido necesario obtener un funcionamiento en clase AB, para lo cual se ha recurrido al uso de transistores de puerta cuasi-flotante (QFGT).
- Se han identificado problemas de largos periodos transitorios y distorsión relacionados con el uso de fuentes de alimentación en forma de rampa en lugar de fuentes ideales de tensión.
- Se han diseñado dos etapas de reset diferentes para tratar de lidiar con los problemas mencionados anteriormente.
- Las técnicas de reset han sido aplicadas a diversos bloques de una cadena receptora y se ha comprobado que el uso de estas mejora tanto valores de linealidad como los periodos transitorios.

8.2.- Líneas futuras

El paso más inmediato tras todo el trabajo realizado sería la fabricación de los circuitos analizados para poder realizar mediciones reales y así comprobar si efectivamente las técnicas analizadas presentan las ventajas que se han podido observar en un entorno de simulación.

Otra posible línea de trabajo sería analizar el impacto de las técnicas de reset en otros circuitos de una cadena de recepción como por ejemplo VGAs de tercer orden. Relacionado con esto, sería interesante utilizar dichas técnicas en un VGA con compensación de offset el cual utilice también técnicas de puerta cuasi-flotante.

Otra tarea a realizar sería trasladar los diseños analizados a una tecnología CMOS más avanzada (120nm o 90nm), de manera que los consumos de potencia se vieran reducidos dado que las tensiones de alimentación necesarias son más bajas.

Una opción adicional sería analizar una cadena de recepción completa formada por varios bloques que utilicen técnicas de puerta cuasi-flotante, de manera que el impacto de las técnicas de reset se analice de manera global.

BIBLIOGRAFÍA

- [1] "The Design Of CMOS Rf Integrated Circuits." T. Lee, Cambridge University Press, 1998.
- [2] "Analog Integrated Circuit Design." David A. Johns / Ken Martin. John Wiley & Sons, 1997.
- [3] "CMOS Circuit Design, Layout And Simulation." R. Jacob Baker, Harry W. Li, David E. Boyce. IEEE Press Series on Microel. Systems, 1998.
- [4] G. E. Gielen, "Modeling and Analysis Techniques for System-Level Architectural Design of Telecom Front-Ends", IEEE Transactions on Microwave Theory and Techniques, vol. 50, no. 1, pp. 360-368, Jan. 2002.
- [5] E.Sánchez-Sinencio and S.Yan. "Low Voltage Analog Circuit Design Techniques: A Tutorial," *IECE Trans. on Analog Integrated Circuits and Systems*, vol. E00-A, no.2, Feb. 2000.
- [6] E.Vittoz, "Micropower Techniques," in Design of VLSI Circuits for Telecommunications and Signal Processing, J.Franca and Y.Tsividis (eds.), Prentice-Hall, Englewood Cliffs, NJ: 1993.
- [7] R.Castello, F.Montecchi, F.Rezzi, and A.Baschiroto. "Low-Voltage Analog Filters", *IEEE Trans. on Circuits and Systems I*, vol. 42, no. 11, Nov. 1995, pp. 827-840.
- [8] Antonio J. López Martín, Rubén Fernández, Carlos A. De La Cruz, Alfonso Carlosena, "Low-Voltage Micropower FGMOS Log-Domain Filter," *Analog Integrated Circuits and Signal Processing*, vol. 41, no. 2, pp. 137-145, Dec. 2004
- [9] Antonio J. López Martín, Sushmita Baswa, Jaime Ramírez Angulo, Ramón G. Carvajal, "Low-Voltage Power-Efficient Super Class AB CMOS OTA Cells with Very High Slew Rate and Power Efficiency," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 5, pp. 1068-1077, May 2005
- [10] Antonio J. López Martín, Jaime Ramírez Angulo, Chandrika Durbha, Ramón G. Carvajal, "A CMOS Transconductor with Multi-Decade Tuning Using Balanced Current Scaling in Moderate Inversion," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 5, pp. 1078-1083, May 2005

- [11] Jaime Ramirez-Angulo, Antonio J. López Martín, Ramón G. Carvajal, Fernando Muñoz, "Very Low Voltage Analog Signal Processing Based on Quasi-Floating Gate Transistors," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 3, pp. 434-442, Mar. 2004.
- [12] Coro García-Alberdi, "Low Power Channel Selection Filtering For Highly Integrated Wireless Receivers". Tesis Doctoral, Universidad Pública de Navarra.
- [13] Coro García-Alberdi, Jesús Aguado-Ruiz, Antonio J. Lopez-Martin, Jaime Ramirez-Angulo, "Micropower Class-AB VGA With Gain-Independent Bandwidth" *IEEE Trans. on Circuits and Systems II*, vol. 60, no. 7, Jul 2013, pp. 397-401